Guida ai

fondamenti, circuiti ed esperimenti

EDIZIONE ITALIANA

di HOWARD M. BERLIN

JACKSON ITALIANA EDITRICE

CMOS

Guida ai CMOS
Fondamenti, Circuiti, & Esperimenti

di
Howard M. Berlin

GRUPPO
EDITORIALE
JACKSON
Via Rosellini, 12 - 20124 Milano

Prefazione all'edizione italiana

Le pubblicazioni di libri sui circuiti CMOS e le loro applicazioni sono poche e non adeguate alla fetta di mercato che questa tecnologia occupa rispetto alle altre.

Dal rapporto delle vendite sul mercato americano delle più importanti tecnologie per gli ultimi due anni e delle previsioni per il prossimo triennio, pubblicato da Electronics nel numero di Gennaio di quest'anno, si nota che per quanto riguarda le famiglie logiche standard (escludendo i microprocessori,i circuiti periferici LSI, gli LSI dedicati e le memorie RAM e ROM), la RTL e la DTL vanno scomparendo, la ECL mantiene la sua fetta di mercato mentre la CMOS è sempre più presente e la TTL ha una leggera flessione.

Benvenga allora un libro tutto sui circuiti CMOS.

Il testo è, come quasi tutti gli altri editi dal gruppo di professori del Virginia Polytechnic Institute e dai tecnici della Tychon di Blacksburg, di tipo sperimentale, ossia vengono svolti per ogni capitolo esercizi di applicazione su quanto detto nella parte teorica.

Questo libro, visto l'uso applicativo che se ne può fare non dovrebbe mancare in una biblioteca di laboratorio di elettronica. Esso è accessibile agli studenti degli ultimi anni delle scuole ad indirizzo elettronico e non presenta particolari difficoltà.

Il libro, per come è organizzato, si rende inoltre sicuramente utile ad un approccio al soggetto in modo autodidattico.

Nel capitolo 2 si trova tutto ciò che serve per effettuare gli esperimenti. Le apparecchiature didattiche riportate nel testo sono prodotte dalla E&L Instrument americana, rappresentata in Italia dalla Microlem di Milano.

La scuola di Elettronica.

Milano 1980

Prefazione

La logica digitale è giunta, con un lungo cammino, dagli interruttori e dai relè fino ai transistor e ai circuiti integrati. Nella rivoluzione dei circuiti integrati la tecnologia ci ha dato dispositivi RTL, DTL, TTL, ECL e CMOS, quantunque oggi la maggioranza dei progetti circuitali venga realizzata sia con TTL che con CMOS. L'utilizzatore usualmente è introdotto alla logica digitale coi dispositivi TTL, per ragioni di costo e della loro disponibilità. Tuttavia i dispositivi CMOS stanno diventando più interessanti, in virtù del loro basso consumo di potenza, ideale per circuiti portatili alimentati a batteria.

Questo libro è stato scritto principalmente come guida per coloro che sono cresciuti con dispositivi TTL e che ora sono pronti a perseguire i vantaggi dei CMOS, convertendo possibilmente molti circuiti TTL esistenti in circuiti equivalenti CMOS a minore potenza. Per coloro di voi che non avessero alcuna esperienza con la logica digitale, è stato presentato un eccellento corso sui circuiti TTL in due volumi intitolati "Bug Book I e Bug Book II" editi nella versione italiana dalla Jackson Italiana Editrice.

Questo libro sui CMOS espone, in otto capitoli, che cosa sono i dispositivi CMOS, le loro caratteristiche, norme di progetto e una serie di 22 utili esperimenti che chiariscono molti dei concetti esposti. Nel Capitolo 1 vengono discussi i fondamenti della tecnologia CMOS, riportando caratteristiche tipiche, sistemi di numerazione, norme di progetto e chi produce questi dispositivi. Il Capitolo 2 dà le regole, l'equipaggiamento ed i componenti necessari per gli esperimenti che si trovano alla fine di ogni capitolo. I restanti capitoli trattano dell'interfacciamento dei dispositivi CMOS con altre famiglie logiche; porte di trasmissione, multiplexer e demultiplexer analogici, multivibratori monostabili ed astabili, contatori, oltre all'interfacciamento con LED e display a LED a 7 segmenti e parecchi dispositivi ad un solo chip speciali per sistemi.

Sebbene esistano molti dispositivi CMOS che sono equivalenti a dispositivi TTL standard sia dal punto di vista pin a pin che funzionale, vi sono numerosi dispositivi CMOS che non hanno equivalenti TTL. Tuttavia, questi dispositivi equivalenti sono elencati nell'appendice, insieme con un certo numero di utili supporti commerciali per il "breadboarding".

Howard M. Berlin

Questo libro è dedicato a
Jessica, Judy e Sara

Sommario

CAPITOLO 1

FONDAMENTI SUI CMOS 9

Introduzione ed obiettivi - Che cos'è un CMOS? - Specifiche dei CMOS - Tipi di CMOS - Norme di progetto per circuiti con CMOS - Produttori

CAPITOLO 2

REALIZZAZIONE DEGLI ESPERIMENTI 17

Introduzione - Norme per preparare gli esperimenti - Struttura degli esperimenti - Quanti esperimenti si devono realizzare? - Breadboarding - Suggerimenti e consigli utili - Strumentazione - Circuiti di Ingresso/Uscita - Componenti

CAPITOLO 3

INTERFACCIAMENTO DEI CMOS CON ALTRE FAMIGLIE LOGICHE 29

Introduzione ed obiettivi - Considerazioni di Ingresso/Uscita - Interfacciamento da CMOS a TTL - Interfacciamento da TTL Standard a CMOS - Altre famiglie TTL - Interfacciamento CMOS-NMOS - Interfacciamento CMOS-PMOS - Interfacciamento CMOS - Amplificatori Operazionali - Introduzione agli esperimenti - Esperimento 1 - Esperimento 2 - Esperimento 3

CAPITOLO 4

PORTE DI TRASMISSIONE E MULTIPLEXER/ DEMULTIPLEXER ANALOGICI 49

Introduzione ed obiettivi - La porta di trasmissione - Multiplexer/Demultiplexer analogici - Introduzione agli esperimenti - Esperimento 1 - Esperimento 2 - Esperimento 3

CAPITOLO 5

MULTIVIBRATORI MONOSTABILI ED ASTABILI 71

Introduzione ed obiettivi - Multivibratori monostabili discreti - Monostabile 4047 - Monostabile Temporizzatore 555 - Altri dispositivi monolitici - Multivibratori astabili discreti - Astabile 4047 - Astabile Temporizzatore 555 - Astabile a ciclo utile variabile con frequenza costante - Oscillatori controllati in tensione - Introduzione agli esperimenti - Esperimento 1 - Esperimento 2 - Esperimento 3 - Esperimento 4 - Esperimento 5 - Esperimento 6

CAPITOLO 6

CONTATORI 107

Introduzione ed obiettivi - Contatori binari di tipo ripple - Contatori sincroni - Moltiplicatori di velocità - Generazione di forme d'onda - Introduzione agli esperimenti - Esperimento 1 - Esperimento 2 - Esperimento 3 - Esperimento 4 - Esperimento 5

CAPITOLO 7

INTERFACCIAMENTO CON LED E CON DISPLAY A LED A 7 SEGMENTI 161

Introduzione ed obiettivi - Interfacciamento con LED - Interfacciamento con display a LED a 7 segmenti - Display a 7 segmenti "multiplexed" - Come ottenere una informazione BCD con display a 7 segmenti - Introduzione agli esperimenti - Esperimento 1 - Esperimento 2

CAPITOLO 8

DISPOSITIVI CMOS SPECIALI 181

Introduzione ed obiettivi - Codificatori touch-tone - Convertitori analogico - digitali a 3-1/2 Digit - Phase-Locked Loop 4046 - Contatore di frequenza a due chip - Contatore a 4 digit 74C926 - Introduzione agli esperimenti - Esperimento 1 - Esperimento 2 - Esperimento 3

APPENDICE A

TABELLA DI CONVERSIONE DA TTL A CMOS 211

APPENDICE B

SUPPORTI PER IL "BREADBOARDING" 213

INDICE 217

CAPITOLO 1

Fondamenti sui CMOS

INTRODUZIONE ED OBIETTIVI

Rispetto ai dispositivi TTL standard, per lungo tempo il supporto principale per i progettisti circuitali e per gli hobbisti, i dispositivi CMOS presentano oggi innumerevoli e ben definiti vantaggi. Questo capitolo presenta un'introduzione alle caratteristiche fondamentali che rendono i dispositivi CMOS interessanti per gli attuali circuiti logici. Alla fine di questo capitolo si sarà in grado di fare ciò che segue:

- Avere familiarità con le caratteristiche importanti dei dispositivi CMOS, specialmente con quelle che variano con l'alimentazione.
- Essere in grado di confrontare queste caratteristiche con quelle dei dispositivi TTL standard.
- Conoscere le norme di progetto che governano l'uso dei dispositivi CMOS.

CHE COSA È UN CMOS?

I dispositivi a Semiconduttore Complementare ad Ossido di Metallo, o CMOS, sono stati denominati la famiglia logica ideale ed offrono molti vantaggi rispetto ai più largamente usati dispositivi TTL. Prima di poter discutere le caratteristiche che rendono interessanti i CMOS, tratteremo la configurazione fondamentale che permette la formazione di funzioni più complesse.

Il circuito CMOS fondamentale è l'invertitore, mostrato in fig. 1-1, che consiste in un transistor MOS a canale p ed in un transistor MOS a

canale n intensificato. I transistor sono collegati in serie tra l'alimentazione, con i due gate collegati insieme a formare l'ingresso.

Il substrato del transistor a canale p è collegato a $+V_{DD}$, mentre il substrato del transistor a canale n è collegato a $-V_{SS}$, che è abitualmente a terra. Quando l'ingresso dell'invertertitore è a livello $-V_{SS}$ ("0" logico), il substrato del transistor a canale p è a zero volt rispetto al substrato del transistor a canale n. Di conseguenza, il transistor a canale p è in conduzione, mentre il transistor a canale n è interdetto. D'altra parte, quando il livello della tensione d'ingresso è a $+V_{DD}$ (1 logico), vale l'opposto; il transistor a canale p è interdetto e l'unità a canale n è in conduzione. In entrambi i casi, solo un transistor è in conduzione. Inoltre, poichè uno dei due transistor è sempre interdetto, il consumo di potenza a riposo di una coppia di transistor complementari è estremamente basso.

L'ingresso dell'invertitore è equivalente ad un condensatore di 5 pF, mentre la componente resistiva dell'impedenza d'ingresso è tipicamente maggiore di $10^9\ \Omega$.

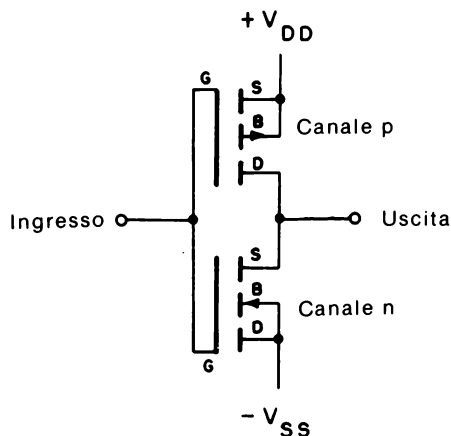



Fig. 1-1. Invertitore CMOS elementare, formato da transistor a canale p e a canale n.

SPECIFICHE DEI CMOS

Diversamente dai TTL, i circuiti CMOS non sono legati ad una tensione d'alimentazione fissa. Al contrario, la tensione d'alimentazione può variare da +3 a +15 V rispetto alla tensione negativa $-V_{SS}$, che è spesso al potenziale di terra. Per certe serie, la tensione d'alimentazione può arrivare a +18 o +20 V. Per la maggior parte dei produttori, le

caratteristiche dei CMOS sono garantite per funzionamenti a 5, 10, 15 V, e possono essere facilmente estrapolate per una particolare tensione. A prima vista, un funzionamento vicino al limite inferiore di 3 V d'alimentazione può sembrare interessante; tuttavia le prestazioni dei circuiti CMOS potrebbero degradarsi.

Un funzionamento vicino al limite superiore di tensione merita considerazione per lo stesso motivo.

Un funzionamento vicino a 3 V ha come risultato un aumento del ritardo di propagazione e dell'impedenza di uscita, mentre l'immunità al rumore si riduce. D'altra parte, un funzionamento vicino al campo dei 15 V ha come risultato un incremento della dissipazione di potenza e la possibilità di picchi di rumore sulla tensione d'alimentazione, che possono superare la tensione di breakdown del dispositivo, tipicamente di 20 V.

Ritardo di propagazione

Rispetto ai TTL Standard e ai TTL Schottky a bassa potenza (LS) tutti i dispositivi CMOS sono fondamentalmente lenti e del tutto sensibili ai carichi capacitivi. Una amplificazione delle uscite avrà come risultato una impedenza d'uscita minore che, a sua volta, riduce l'effetto dei carichi capacitivi.

In generale, il ritardo di propagazione è influenzato dai carichi capacitivi, dall'alimentazione e dalla temperatura.

Sia la resistenza di conduzione ("on") del transistor CMOS dello stadio di uscita che i carichi capacitivi influenzano la massima frequenza di funzionamento di un dispositivo CMOS. La resistenza "on" ha un valore massimo tipico di 1 kΩ, cosicchè la frequenza massima può essere determinata dall'equazione

$$f_{MAX} = \frac{1}{4.4 R_{ON} C_{LOAD}} \qquad \text{(Eq. 1-1)}$$

Di conseguenza, la frequenza massima si ottiene minimizzando la resistenza "on" e la capacità del carico. Supponendo che il segnale d'ingresso di un dispositivo CMOS sia perfettamente rettangolare, la forma d'onda d'uscita si può esprimere con l'equazione familiare di carica di una resistenza-condensatore

$$V_o = V_{DD}[1 - e^{-t/R_{ON}C_{LOAD}}] \qquad \text{(Eq. 1-2)}$$

In generale, un aumento della tensione d'alimentazione da 5 a 10 V ha come risultato un aumento più che doppio della velocità delle porte CMOS; aumentare la tensione di alimentazione fino a 15 V ha come effetto un altro aumento quasi doppio della velocità.

Immunità di rumore e margine di rumore

A causa della struttura complementare dell'invertitore fondamentale, che è comune a tutti i dispositivi a logica CMOS, si ha come risultato una caratteristica di trasferimento d'ingresso/uscita quasi ideale, cosicchè il punto di commutazione o la soglia d'ingresso è compresa tra il 45% e il 55% della tensione di alimentazione, tra i livelli logici 0 e 1.

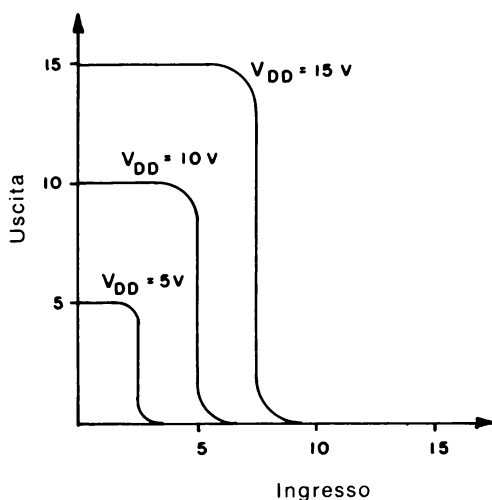



Fig. 1-2. Caratteristiche di trasferimento d'ingresso/uscita dei CMOS.

La Fig. 1-2 illustra una tipica curva di trasferimento che si può usare per descrivere la caratteristica dell'immunità di rumore dei dispositivi CMOS. La *tensione di immunità di rumore*, V_{IL} o V_{IH}, è la tensione di rumore ad ogni ingresso che transita dall'ingresso all'uscita. L'immunità di rumore tipica è il 30% della tensione di alimentazione. In tale modo, il valore di V_{IL} e di V_{IH} esprime il massimo incremento di rumore che può essere sommato al segnale d'ingresso quando il segnale d'ingresso è compreso nei 50 mV di V_{SS} o di V_{DD}.

La differenza tra la tensione d'immunità di rumore e la tensione di uscita V_{OL} o V_{OH} è denominato il *margine di rumore*. Il margine di rumore è la massima tensione che può essere sovrapposta alla tensione d'in-

gresso senza che cambi lo stato logico o che la tensione di uscita superi le condizioni di uscita specificate per i valori V_{IH} e V_{IL}. L'uso di queste caratteristiche sarà spiegato nel capitolo 3, interfacciando dispositivi CMOS con altre famiglie logiche.

TIPI DI CMOS

Attualmente, in commercio, i dispositivi CMOS sono talvolta chiamati con nomi differenti da vari produttori. Per esempio, l'RCA usa il termine COS/MOS, mentre alla Motorola piace il nome McMOS. Senza far riferimento ai marchi di fabbrica usati, ci sono tre principali dispositivi CMOS in uso generale: CMOS convenzionale, CMOS "buffered" e CMOS SOS (silicio su zaffiro). Ogni tipo ha i suoi pro e i suoi contro, ma a causa della loro disponibilità e del loro costo, i tipi convenzionali e buffered sono i più popolari.

I dispositivi CMOS convenzionali furono introdotti per la prima volta dall'RCA e ad essi si fa ora comunemente riferimento come alla *"serie A"*. I dispositivi CMOS di questa serie hanno il suffisso A unitamente al codice del dispositivo, come 4000A, 4081A, etc. Per tradizione, la gran parte dei produttori di dispositivi CMOS usa il sistema di numerazione della serie 4000 avuta origine in RCA. In aggiunta alla serie 4000, parecchi produttori hanno stabilito propri sistemi di numerazione che assomigliano strettamente ai numeri della serie 4000. Per esempio i dispositivi McMOS della Motorola appartengono alla serie MC14000 e MC14500, mentre la Fairchild ha la serie 34000. Mentre nessuno di questi sistemi di numerazione corrisponde alla serie 7400 usata per dispositivi TTL, la National Semiconductor, in aggiunta alla produzione delle serie 4000, ha una serie di dispositivi CMOS che sono equivalenti a pin a pin alla serie 7400 di dispositivi TTL, che è la serie 74C00. A seconda del produttore, un dispositivo con 4 porte NAND a 2 ingressi può avere uno dei seguenti numeri: 4011, MC14011, 34011 e 74C00.

Dall'introduzione dei dispositivi convenzionali, i dispositivi CMOS sono stati migliorati dapprima aggiungendo una coppia di invertitori in serie alle uscite dei dispositivi convenzionali. Questi invertitori funzionano come buffer, da cui il nome CMOS *buffered*, che a loro volta migliorano le risposte in frequenza, il pilotaggio d'uscita e i tempi di salita e di discesa. I dispositivi buffered sono indicati dal suffisso "B" insieme con il codice del dispositivo, come 4001 B.

I più recenti dispositivi CMOS *unbuffered* sono quelli che soddisfano tutte le specifiche della serie B, tranne che le uscite non sono buffered. Inoltre le tensioni dell'immunità di rumore V_{IL} e V_{IH} sono specificate come il 20% e l'80% di V_{DD} rispettivamente, per funzionamento da 5 a 10 V, e il 17% e l'83% di V_{DD} per il funzionamento da 15 V. Tutti i dispositivi

CMOS unbuffered recano il suffisso "UB" insieme con il codice del dispositivo. La tabella 1.1 confronta le carateristiche della serie B e UB.

Tabella 1-1. Caratteristiche delle porte "buffered" e "non-buffered"©

Caratteristica	Porte buffered	Porte non buffered
1. Ritardo di propagazione V_{DD} = 5 V C_{CARICO} = pF V_{DD} = 10 V V_{DD} = 15 V	 150 ns 65 ns 50 ns	 60 ns 30 ns 25 ns
2. Immunità di rumore	30 % di V_{DD} a 5 e 10 V; 27 % e 15 V	20 % di V_{DD} a 5, 10 e 15 V
3. Margine di rumore V_{DD} = 5 V V_{DD} = 10 V V_{DD} = 15 V	 1 V 2 V 2,5 V	 0,5 V 1,0 V 1,0 V
4. Impedenza di uscita V_{DD} = 5 V, V_O = ±0,4 V	 400 Ω	 200 Ω-400 Ω
5. Capacità di ingresso medie	1-2 pF	2-3 pF

Valori dedotti dalla Tabella II, RCA Application Note ICAN-6558, *Understanding Buffered and Unbuffered CMOS Caratteristics*, di R.E. Funk

NORME DI PROGETTO PER CIRCUITI CON CMOS

Oltre che per l'interfacciamento di dispositivi CMOS con altre famiglie logiche, come specificatamente trattato nel Capitolo 3, ci sono parecchie norme fondamentali di progetto che si devono seguire per garantire che il dispositivo CMOS o il sistema funzioni correttamente. Le semplici norme che seguono si riferiscono principalmente agli ingressi di dispositivi CMOS.

1 - La tensione d'ingresso per ogni dispositivo CMOS non dovrebbe *mai* superare la tensione d'alimentazione positiva V_{DD} e scendere sotto la tensione d'alimentazione negativa V_{SS}, che è frequentemente a terra. In un certo numero di data book dei costruttori è spesso stabilito che la tensione d'ingresso possa superare questi limiti finchè la corrente d'ingresso sia limitata al valore 10 mA o minore. Tuttavia questa è una consuetudine di progetto superficiale.

2 - Tutti gli ingressi non usati devono essere collegati o a V_{SS} o a V_{DD}. Diversamente dai dispositi TTL, gli ingressi dei dispositivi CMOS non possono essere lasciati fluttuanti, altrimenti l'incremento di dissipazione di potenza risultante può danneggiare il dispositivo.

3 - Non si dovrebbero applicare segnali agli ingressi di un dispositivo CMOS mente esso *non è alimentato.*

4 - Quando gli ingressi dei dispositivi CMOS sono collegati ai connettori terminali di piastra, gli ingressi dovrebbero essere collegati a V_{SS} e V_{DD} mediante una resistenza di shunt di 10 kΩ, nel caso che gli ingressi vengono casualmente scollegati mentre la piastra è alimentata.
5 - La frequenza di ingresso deve essere minore delle massime frequenze permesse. Per dispositivi CMOS, la massima frequenza di ingresso è una funzione della tensione di alimentazione. Per una alimentazione di 5 V, la massima frequenza d'ingresso può essere 1 MHz per un particolare dispositivo; per lo stesso dispositivo alimentato a 15 V esso può essere 5 MHz. Tuttavia, l'aumento della tensione di alimentazione per ottenere velocità di funzionamento più alta, incrementa, a sua volta, la dissipazione di potenza del dispositivo.
6 - I segnali d'ingresso devono essere privi di rimbalzi, possedere tempi di salita e di discesa veloci. L'uso di interruttori e di pulsanti deve essere fatto eliminando i rimbalzi.
Inoltre i tempi di salita e di discesa della logica scandita da segnali d'orologio (clock) devono essere più veloci di 15 μs, altrimenti si può superare il massimo valore della dissipazione di potenza.
7 - Poichè si usano transistor complementari, la configurazione di tipo wired-OR, che è possibile con certi dispositivi TTL, non è possibile con i CMOS. Tuttavia, sono possibili circuiti per bus comuni, aggiungendo una porta di trasmissione (vedere il Capitolo 4) in serie all'uscita del dispositivo.
Di conseguenza si possono avere tre stati: 0 logico, 1 logico e circuito aperto.

PRODUTTORI

Sebbene esista più di una dozzina di produttori di dispositivi a circuito integrato CMOS solo quelli elencati sotto offrono la serie più vasta.

Fairchild Semiconductor
464 Ellis Street
Mountain View, CA 94042

National Semiconductor
2900 Semiconductor Drive
Santa Clara, CA 95051

Harris Semiconductor
Box 883
Melbourne, FL 32901

RCA, Solid State Division
Box 3200
Somerville, NJ 08876

Motorola Semiconductor
Box 20912
Phoenix, AZ 85036

Solid State Scientific
Montgomeryville Industrial Parck
Montgomeryville, PA 18936

CAPITOLO 2

Realizzazione degli esperimenti

INTRODUZIONE

Seguendo questo capitolo, si avrà l'opportunità di realizzare un ampio campo di esperimenti con vari dispositivi CMOS, con metodi d'interfacciamento e con applicazioni interessanti. Questo capitolo tratta dell'equipaggiamento e dei componenti necessari di cui si avrà bisogno per realizzare gli esperimenti facilmente ed accuratamente.

NORME PER PREPARARE GLI ESPERIMENTI

In questo libro si realizzeranno vari circuiti col sistema "breadboarding", sia usando supporti di breadboarding commerciali sia costruendo parte dell'hardware necessario. Per chi ha avuto esperienza con i testi "Bug book", queste norme saranno familiari.

Prima di preparare un esperimento, si raccomanda di fare ciò che segue:

1 - Programmare innanzitutto l'esperimento. Conoscere quali risultati ci si aspetterà di vedere.
2 - Scollegare o disinserire *tutte* le alimentazioni e le sorgenti esterne dalla piastra.
3 - Liberare la piastra di tutti i collegamenti e i componenti dell'esperimeno precedente a meno che non sia diversamente indicato.
4 - Controllare i collegamenti del circuito rispetto allo schema di principio per assicurarsi che essi siano corretti.
5 - Alla fine, assicurarsi di togliere ogni collegamento *prima* di ripulire la piastra dei collegamenti e dei componenti.

STRUTTURA DEGLI ESPERIMENTI

Le istruzioni per ogni esperimento sono presentate secondo il formato seguente:

Scopo.

Il materiale sotto questa intestazione stabilisce lo scopo per cui si realizza l'esperimento. È bene avere in mente questo scopo prefissato quando si conduce l'esperimento.

Disposizione dei pin dei circuiti integrati.

Sotto questa intestazione vengono date le configurazioni dei piedini (terminali) per tutti i circuiti integrati usati nell'esperimento.

Schema del circuito.

Sotto questa intestazione si trova lo schema di principio del circuito completo che verrà assemblato nell'esperimento. Si dovrebbe analizzare questo schema nell'intento di capire il circuito prima di procedere oltre.

Formule di progetto.

Sotto questa intestazione si trova un sommario delle equazioni di progetto, quando esse sono possibili, che si applicano al progetto e al funzionamento del circuito.

Passi.

Una serie di passi in sequenza descrive in dettaglio le istruzioni che realizzano parti degli esperimenti. Sono pure accluse domande in punti opportuni. Ogni calcolo numerico si può realizzare facilmente con calcolatori tascabili.

QUANTI ESPERIMENTI SI DEVONO REALIZZARE?

In questo testo ci sono molti esperimenti che abbracciano quasi tutti i circuiti e le tecniche trattate in questo libro. Tuttavia, non sarà necessario realizzare ogni esperimento. Ognuno ne farà quanti riterrà necessari per ottenere una buona conoscenza del progetto e del funzionamento di circuiti CMOS.

BREADBOARDING

Il "breadboard" è progettato per alloggiare i molti esperimenti che si realizzeranno nei capitoli seguenti. I vari dispositivi a circuito integrato, i resistori, i condensatori e gli altri componenti, così pure l'alimentazione e i collegamenti di segnale sono tutti collegati direttamente sul breadboard.

La fig. 2-1 mostra la vista superiore di una piatra per breadboarding senza saldatura, che è prodotta da parecchie ditte.

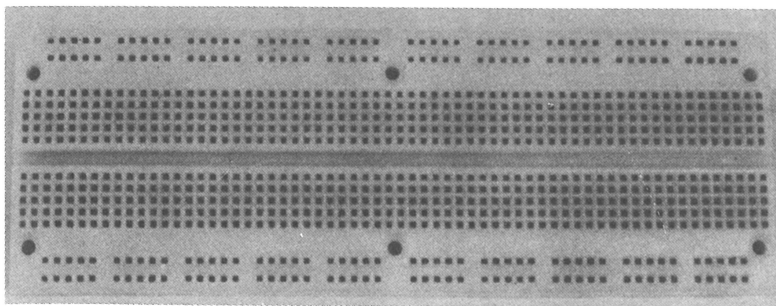



Fig. 2-1. Piastra senza saldature per breadboarding usata per realizzare gli esperimenti.

SUGGERIMENTI E CONSIGLI UTILI

Attrezzi

In realtà sono necessari solo tre attrezzi per tutti gli esperimenti dati in questo libro:

1 - Un paio di pinze a becco lungo
2 - Un tagliatore e spelatore di fili
3 - Un piccolo cacciavite

Le pinze sono usate per:

- Raddrizzare i terminali piegati del filo di collegamento usato per collegare i circuiti sul breadboard.
- Raddrizzare o piegare i terminali di resistori, condensatori e altri componenti nella posizione voluta in modo che essi possano essere convenientemente inseriti nel breadboard.

Il tagliatore e spelatore di fili è usato per tagliare il filo di collegamento a misura e per spelare circa 10 mm di isolante da ogni terminale.

Il cacciavite, se non per altro, può essere usato per rimuovere facilmente i dispositivi a circuito integrato dagli zoccoli per breadboarding senza saldatura.

Filo

Si usa solo filo isolato n° 22, n° 24 o n° 26, ed esso deve essere pieno e non trefolato!

Breadboarding

- Non inserire mai un filo o un terminale di componente troppo grosso in un terminale del breadborning.
- Non inserire un filo piegato. Raddrizzare il terminale piegato con un paio di pinze prima dell'inserimento.
- Cercare di mantenere una disposizione ordinata dei componenti e dei fili, curando che i collegamenti risultino i più corti possibili.

STRUMENTAZIONE

Per gli esperimenti si richiedono parecchi strumenti:

Oscilloscopio

Ne basterà uno qualunque adatto per uso generale, che dovrebbe essere a doppia traccia.

Frequenzimetro

È sufficente un modello economico, ma esso dovrebbe avere una risoluzione di 1 Hz per misure precise. Ci sono parecchie unità a basso costo disponibili per circa 100.000 lire che funzionano bene. Ogni sperimentatore serio dovrebbe disporne di uno.

Tester, oppure voltmetro analogico, oppure voltmetro digitale

Uno strumento adatto per uso generale, capace di misurare, se neccessario, tensioni continue. È preferibile usare un voltmetro digitale. Se si usa un tester, la sua specifica dovrebbe essere di almeno 20 kΩ/V per non introdurre errori di carico.

CIRCUITI DI INGRESSO/USCITA

Per effettuare gli esperimenti facilmente, sarà necessario disporre di alcuni circuiti utili, quali indicatori a LED, display a 7 segmenti, interruttori senza rimbalzo, etc. Tutti componenti che ormai sono familiari a chi ha avuto a che fare coi "Bugbook". Questi circuiti sono facilmente realizzabili o possono essere richiesti alla Microlem, divisione didattica, Via Monteverdi 5 - Milano che dispone di tutte le apparecchiature utilizzate negli esperimenti dei vari Bugbook.

Indicatori a LED

Un *indicatore a diodo emettitore di luce* (LED) è un segnalatore nel

quale il LED è acceso per uno stato logico 1 e spento per uno stato logico 0. In Fig. 2-2 è mostrato un circuito da usare con CMOS; si suggerisce di avere almeno 4 indicatori a LED. Quando si usa l'indicatore, nella sezione dell'esperimento *Schema del circuito* sarà mostrato il simbolo schematico di Fig. 2-3.

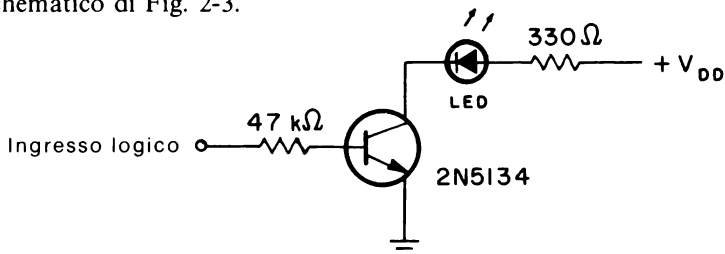



Fig. 2-2. Indicatore a LED.

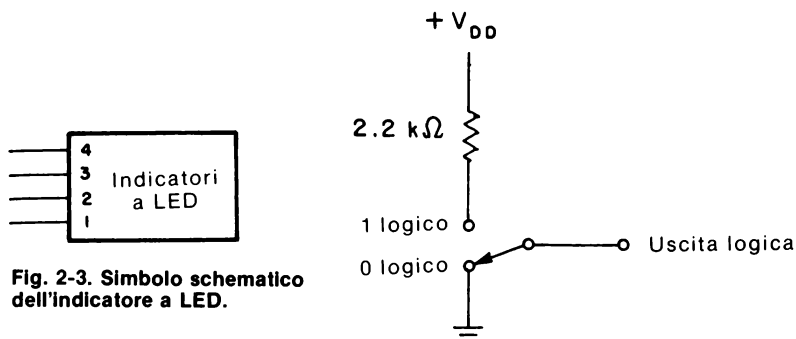



Fig. 2-3. Simbolo schematico dell'indicatore a LED.

Fig. 2-4. Interruttore logico a CMOS.

Switch logici

Uno *switch logico* è un interruttore spdt meccanico che applica uno 0 logico o un 1 logico al suo terminale di uscita, come mostrato dal circuito di Fig. 2-4.

Usualmente si avrà bisogno di 4 interruttori, rappresentanti principalmente gli ingressi di un numero BCD a 4 bit. La Fig. 2-5 mostra lo schema di principio che verrà usato per rappresentare una serie di interruttori logici.

Pulsers (interruttori senza rimbalzi)

In un interruttore logico *meccanico*, un rimbalzo del contatto (cioè la chiusura e riapertura incontrollata del contatto quando i contatti dell'in-

terruttore vengono aperti o chiusi) è un evento comune. In molte applicazioni è estremamente importante che l'uscita data da un azionamento di un interruttore sia *priva di rimbalzi.* Il circuito di Fig. 2-6 è utile come interruttore a pulsante senza rimbalzi o pulser. Usando una coppia di porte NAND tra loro accoppiate, il pulser ha uscite complementari per lo 0 e l'1 logici. La porta NAND può essere un dispositivo 74C00 o 4011. La Fig. 2-7 mostra il simbolo schematico che si userà per rappresentare il pulser.

Switch logici
D
C
B
A

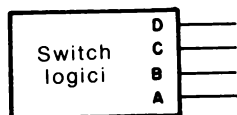



Fig. 2-5. Simbolo schematico dell'interruttore logico a CMOS.

+ V_{DD}
2.2 kΩ
Pulsante di tipo spdt
Normalmente ad 1 logico
Normalmente a 0 logico
4011 o 74C00
2.2 kΩ
+ V_{DD}

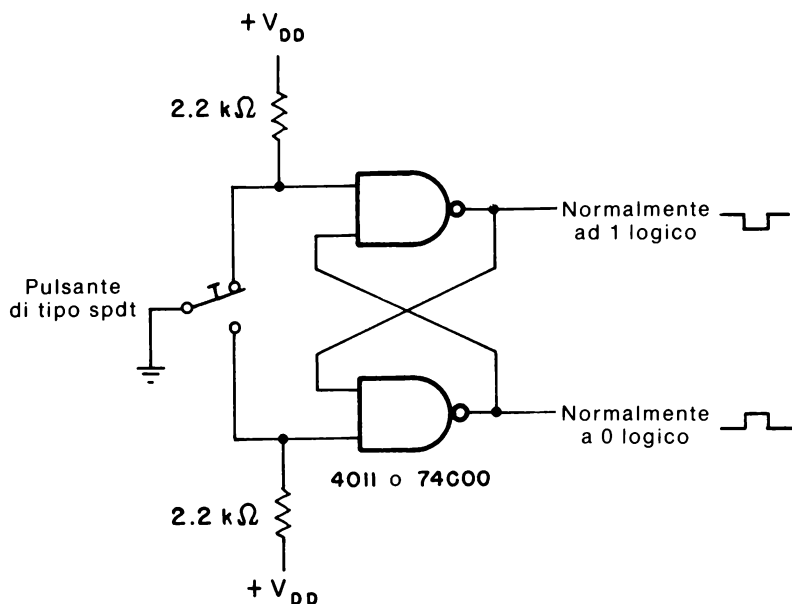



Fig. 2-6. Interruttore CMOS senza rimbalzi o pulser.

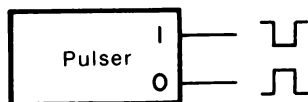



Fig. 2-7. Simbolo schematico del pulser CMOS.

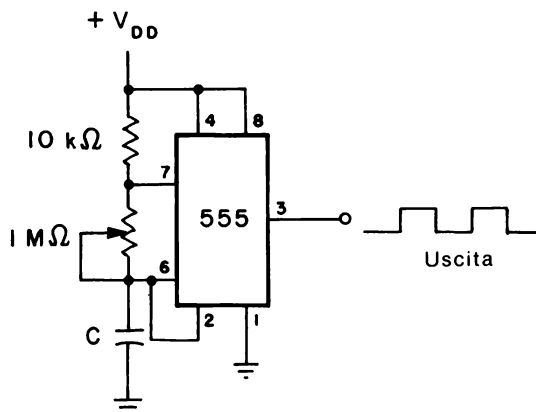



Fig. 2-8. Clock a frequenza regolabile.

Clock

Un *clock* è un multivibratore astabile che produce un treno di onde quadre variabili tra lo 0 e l'1 logici. In Fig. 2-8 è mostrato un opportuno clock a frequenza variabile, costruito intorno ad un temporizzatore 555. Nel Capitolo 5 viene data una breve descrizione del temporizzatore 555 o, per una trattazione più estesa, si può far riferimento al libro "Timer 555, funzionamento, applicazioni ed esperimenti" pubblicato nella versione italiana dalla Jackson Editrice. La Fig. 2-9 mostra il simbolo schematico che si userà per rappresentare un clock.

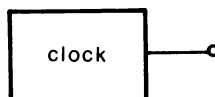



Fig. 2-9. Simbolo schematico del clock.

Riferimento di frequenza stabile

Un *riferimento di frequenza stabile* è un multivibratore astabile la cui frequenza d'uscita è controllata da un cristallo di quarzo, invece che da condensatori e resistenze esterne. Come indicato in Fig. 2-10, questo circuito usa un divisore/oscillatore a circuito integrato di tipo MK5009 della MOSTEK) per generare frequenze da 1 MHz a 0,01 Hz a gradini di 1 decade. La programmazione dell'MK5009 per generare le varie frequenze di uscita è compiuta con un interruttore di tipo "thumbwheel" per produrre il codice BCD a 4 bit d'ingresso secondo la Tabella 2-1.

Il simbolo schematico mostrato in Fig. 2-11 sarà usato per indicare un riferimento di frequenza. Inoltre sarà pure indicata la frequenza di riferimento (es. 1 kHz).

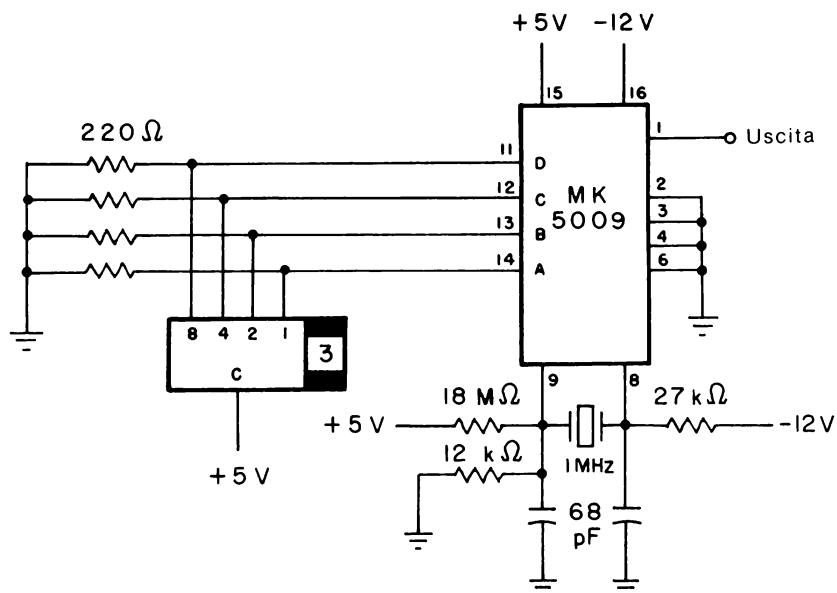



Fig. 2-10. Riferimento di frequenza stabile per lo sperimentatore.

Tabella 2-1. Codice d'ingresso per programmare l'MK5009

Ingressi BCD D	C	B	A	Dividere	Frequenza di Uscita
0	0	0	0	$\div 10^0$	1 MHz
0	0	0	1	$\div 10^1$	100 kHz
0	0	1	0	$\div 10^2$	10 kHz
0	0	1	1	$\div 10^3$	1 kHz
0	1	0	0	$\div 10^4$	100 Hz
0	1	0	1	$\div 10^5$	10 Hz
0	1	1	0	$\div 10^6$	1 Hz
0	1	1	1	$\div 10^7$	0.1 Hz
1	0	0	0	$\div 10^8$	0.01 Hz

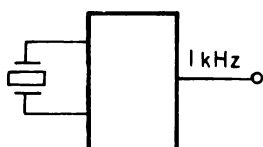



Fig. 2-11. Simbolo schematico del riferimento di frequenza.

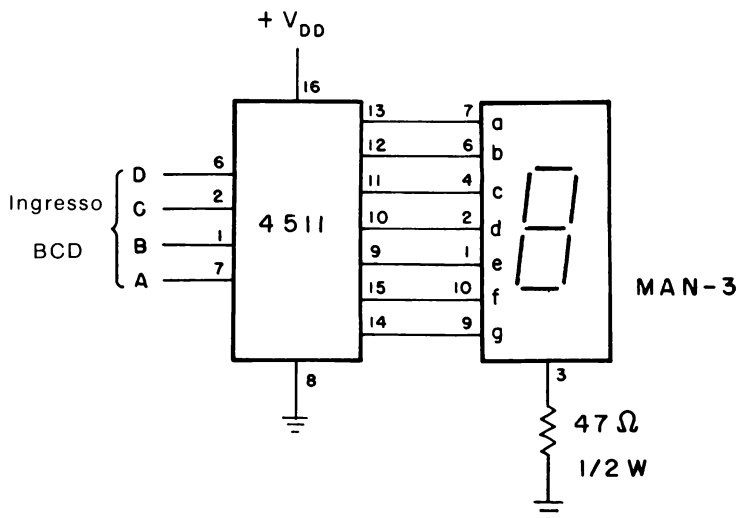



Fig. 2-12. Display a LED a sette segmenti con ingresso bcd.

Display a LED a 7 segmenti

Per determinare facilmente lo stato di contatori binari o di dati d'ingresso a 4 bit in codice BCD, si può usare un *display a LED a 7 segmenti*. Per circuiti CMOS, il circuito mostrato in Fig. 2-12 usa un decodificatore/driver di tipo 4511 e un display a *catodo comune* quale un MAN-3 (display a 0,125 pollici) o un DL-704 (0,3 pollici) o equivalente. In Fig. 2-13 è mostrato il simbolo schematico di un display a LED a 7 segmenti. Nel Capitolo 7 sono presentate maggiori informazioni sui display a LED.

COMPONENTI

Nella Tabella 2-2 è mostrato un elenco di tutti i vari componenti necessari per realizzare tutti gli esperimenti di questo libro.

Fig. 2-13. Simbolo schematico per il display a LED a sette segmenti.

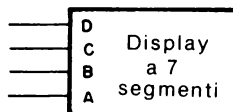



Tabella 2-2. Componenti per gli esperimenti di questo libro.

Quantità	Descrizione
1	Resistore, 47 Ω mezzo watt
1	Resistore, 150 Ω
1	Resistore, 330 Ω
1	Resistore, 560 Ω
2	Resistore, 100 Ω
1	Resistore, 4700 Ω
1	Resistore, 10 KΩ
1	Resistore, 12 KΩ
1	Resistore, 15 KΩ
2	Resistore, 24 KΩ
1	Resistore, 27 KΩ
2	Resistore, 39 KΩ
1	Resistore, 47 KΩ
1	Resistore, 56 KΩ
1	Resistore, 100 KΩ
1	Resistore, 220 KΩ
1	Resistore, 330 KΩ
1	Resistore, 390 KΩ
1	Resistore, 620 KΩ
1	Resistore, 1 MΩ
1	Resistore, 10 MΩ
1	Potenziometro 1 MΩ, a un solo giro
1	Condensatore, 0,001 μF
1	Condensatore, 0,01 μF
1	Condensatore, 0,047 μF
2	Condensatore, 0,1 μF
1	Condensatore, 0,33 μF
1	Condensatore, 1 μF
1	Condensatore, 5 μF
1	Condensatore, 10 μF
1	Condensatore, 100 μF
1	CI, temporizzatore 555 (8 piedini DIP)
1	CI, quadrupla porta NAND a 2 ingressi 7400 (TTL)
1	CI, doppio flip-flop JK 7473 (TTL)
1	CI, quadrupla porta NOR a 2 ingressi 4001
1	CI, quadruplo interruttore bilaterale 4016
1	CI, contatore decadico 4017
1	CI, contatore Johnson preposizionabile 4018
1	CI, contatore/decodificatore 1 su 8 4022
1	CI, phase-locked loop 4046
1	CI, multivibratore monostabile/astabile 4047
1	CI, sestuplo invertitore buffer/driver 4049
1	CI, sestuplo buffer/driver non invertente 4050
1	CI, multiplexer/demultiplexer analogico 1 su 8 4051
1	CI, quadrupla porta AND 4081
1	CI, decodificatore/latch/driver BCD verso display a 7 segmenti 4511
1	CI, sestuplo trigger di Schmitt 74C14 o 40106
1	CI, contatore avanti/indietro preposizionabile 74C192 o 40192
1	CI, rivelatore di fase/divisore programmabile HCTR0320 (Hughes)
2	Diodo, 1N914 o equivalente
2	LED, rosso, verde o giallo
1	display a LED a 7 segmenti a catodo comune o equivalente
1	Transistor npn 2N2222 o equivalente

NOTA: La fig. 2-14 mostra il tipo di hardware di cui si avrà generalmente bisogno per gli esperimenti di questo libro.

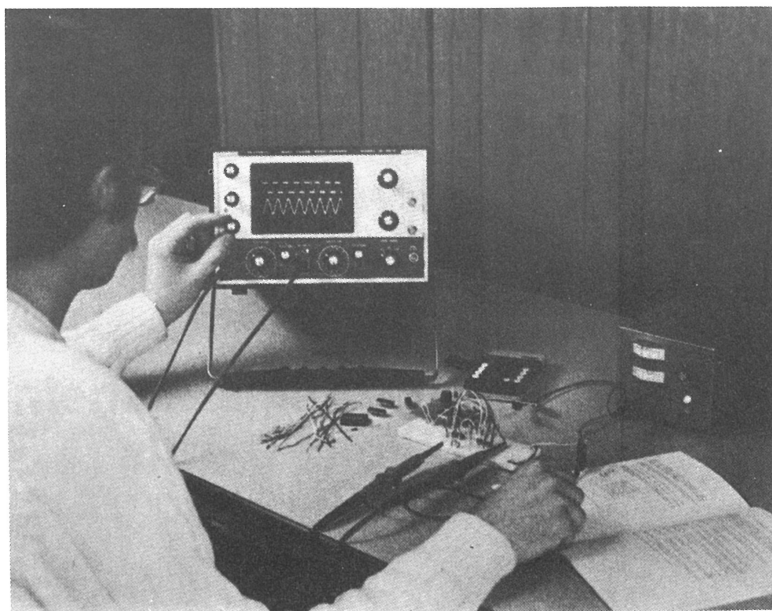



Fig. 2-14. Apparecchiatura e hardware usati per gli esperimenti di questo libro.

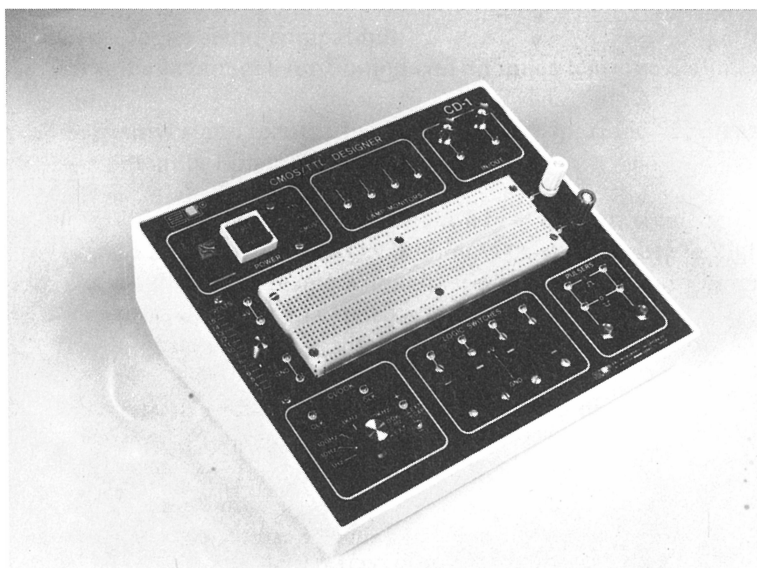



Fig. 2-15. Il CMOS/TTL Designer CD-1 della E & L Instruments (per l'Italia Microlem Spa Milano) adatto per gli esperimenti presentati in questo libro.

CAPITOLO 3

Interfacciamento dei CMOS con altre famiglie logiche

INTRODUZIONE ED OBIETTIVI

L'interfacciamento dei dispositivi CMOS con altre famiglie logiche richiede idealmente che:

1 - I livelli logici siano compatibili
2 - Entrambe le famiglie funzionino con un'unica tensione d'alimentazione
3 - I dispositivi siano tenuti a livelli sicuri di dissipazione di potenza
4 - Sia mantenuta l'immunità di rumore

In questo capitolo saranno trattate numerose ed utili tecniche che permetteranno ai dispositivi CMOS di interfacciarsi con altre famiglie logiche e con amplificatori operazionali, specialmente quando la tensione d'alimentazione non è la stessa.

Alla fine di questo capitolo, si sarà in grado di:

- Descrivere metodi adatti per interfacciamento di:
  CMOS e dispositivi TTL standard
  CMOS e altre famiglie TTL, quali Schottky a bassa potenza
  CMOS e dispositivi PMOS
  CMOS e dispositivi NMOS
  CMOS e amplificatori operazionali
- Descrivere i requisiti di interfacciamento in ingresso e in uscita dei dispositivi CMOS.

CONSIDERAZIONI D'INGRESSO/USCITA DEI CMOS

Quando si interfacciano dispositivi CMOS con altre famiglie logiche, si deve fare attenzione ai livelli di tensione corrispondenti allo 0 e all'1 logici. Tuttavia, il data sheet di un dato dispositivo CMOS non specifica direttamente i requisiti della tensione d'ingresso. Invece è specificata l'*immunità di rumore*. Come illustrato in Fig. 3-1, ogni tensione d'ingresso di un dispositivo CMOS minore del 30% della tensione d'alimentazione V_{DD} è allo 0 logico; ogni tensione d'ingresso maggiore del 70% di V_{DD} è all'1 logico. Conseguentemente la tensione d'ingresso può salire fino al 30% di V_{DD} o può scendere al 70% di V_{DD}, senza cambiamento del livello logico sull'uscita del dispositivo. L'immunità di rumore è quindi dal 30% al 70% di V_{DD}.

Per una tensione di 5 V, ciò corrisponde a livelli di 1,5 e 3,5 V o a una differenza di 2,0 V. Naturalmente l'immunità di rumore aumenterà al crescere della tensione di alimentazione. A 15 V l'immunità di rumore è la differenza tra 10,5 - 4,5 o 6 V.

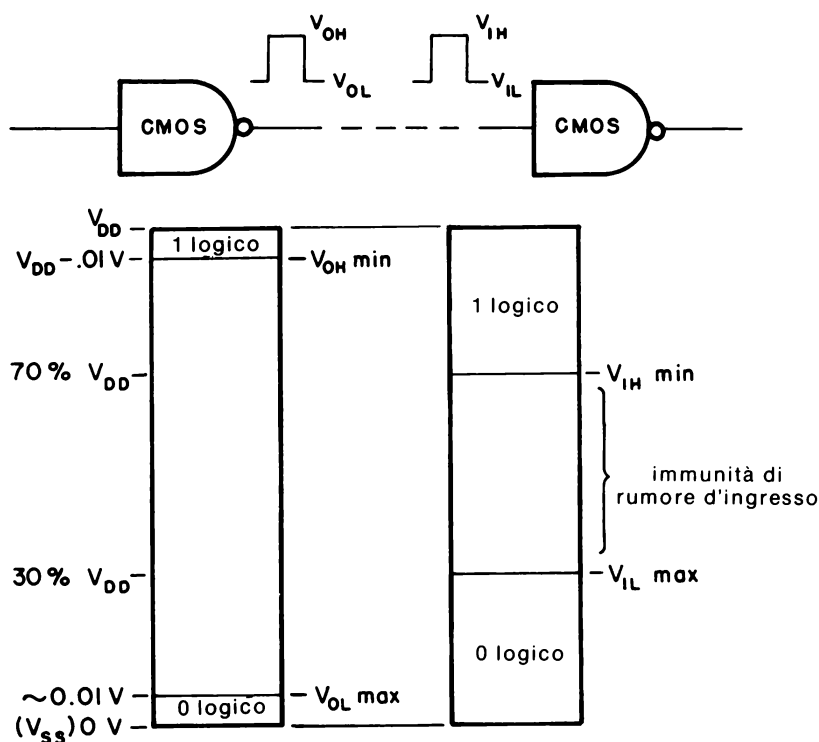



Fig. 3-1. Caratteristiche dei livelli logici d'ingresso e d'uscita dei dispositivi CMOS.

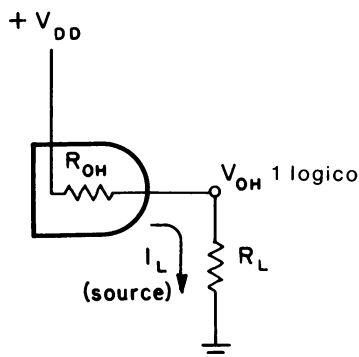



Fig. 3-2. Circuito equivalente di una sorgente di corrente CMOS.

I massimi valori nominali d'uscita della *corrente di sink* o di *source* variano qualche volta con i differenti dispositivi CMOS e, inoltre, variano da produttore a produttore per lo stesso dispositivo. Come mostrato nel circuito equivalente di Fig. 3-2, il dispositivo CMOS agisce come un *generatore di corrente* quando l'uscita è un ALTO (HIGH) o 1 logico. La resistenza interna d'uscita R_{OH} fa sì che l'uscita sia minore della tensione di alimentazione, secondo la seguente relazione del divisore di tensione.

$$V_{OH} = V_{DD}\left(\frac{R_L}{R_L + R_{OH}}\right) \qquad \text{(Eq. 3-1)}$$

Per una uscita logica 1, la resistenza d'uscita è tipicamente compresa tra 200÷800 Ω. Quando un dispositivo CMOS pilota un altro dispositivo CMOS, l'impedenza d'uscita è tipicamente 10^{11} Ω. Di conseguenza la tensione d'uscita del generatore di corrente è essenzialmente quella d'alimentazione. Quindi per un tipico collegamento CMOS-CMOS:

$$I_L \text{ (source)} = \frac{V_{OH}}{R_L} \qquad \text{(Eq. 3-2)}$$
$$= \frac{V_{DD}}{R_L + R_{OH}}$$
$$= 10 \text{ pA}$$

La massima corrente di source è tipicamente compresa tra 0,14÷0,25 mA per $V_{DD} = 5$ V; tra 0,35÷0,6 mA per $V_{DD} = 10$ V e tra 1,0÷1,8 mA per $V_{DD} = 15$ V.

Quando si ha un sink di corrente, usando il circuito equivalente di Fig. 3-3, La tensione di uscita è quindi un BASSO (LOW) o 0 logico. La

resistenza interna d'uscita R_{OL}, che è essenzialmente quella di R_{OH}, fa sì che la tensione di uscita sia uguale a

$$V_{OL} = V_{DD}\left(\frac{R_{OL}}{R_L + R_{OL}}\right) \qquad \text{(Eq. 3-3)}$$

mentre la corrente di sink d'uscita è

$$I_L\,(\text{sink}) = \frac{V_{OL}}{R_{OL}} \qquad \text{(Eq. 3-4)}$$

$$= \frac{V_{DD}}{R_L + R_{OL}}$$

$$= 10\,\text{pA}$$

per un interfacciamento da CMOS a CMOS. La massima corrente di sink è tipicamente compresa tra 0,4÷0,8 mA per V_{DD} = 5 V, tra 0,9÷1,8 mA per V_{DD} = 10 V, e tra 2,0÷3,6 mA per V_{DD} = 15 V. Il fan out in continua (dc) è quindi virtualmente infinito, ma è praticamente limitato a circa 50.

INTERFACCIAMENTO TRA CMOS E TTL

L'interfacciamento tra CMOS e TTL richiede parecchi compromessi. Sebbene entrambe le famiglie logiche lavorino alla tensione d'alimentazione +5 V dei TTL, la velocità massima di funzionamento del dispositivo CMOS è minima essendo tipicamente 2 MHz rispetto ai 10 MHz ed oltre per i TTL. Virtualmente tutti i produttori di CMOS insinuano che i loro dispositivi sono compatibili con i TTL. Ciò non significa che il dispositivo CMOS può essere collegato direttamente ai dispositivi TTL, ma piuttosto che sia i CMOS che i TTL funzioneranno alla stessa tensione d'alimentazione di +5 V. Tuttavia, la massima corrente di sink è insufficente per pilotare anche un solo carico TTL Standard.

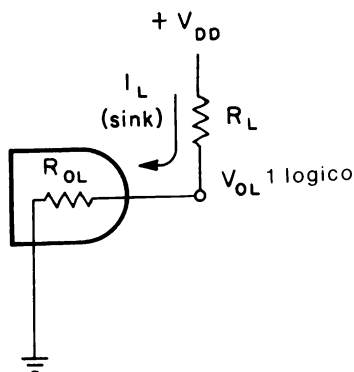



Fig. 3-3. Circuito equivalente di un sink di corrente CMOS.

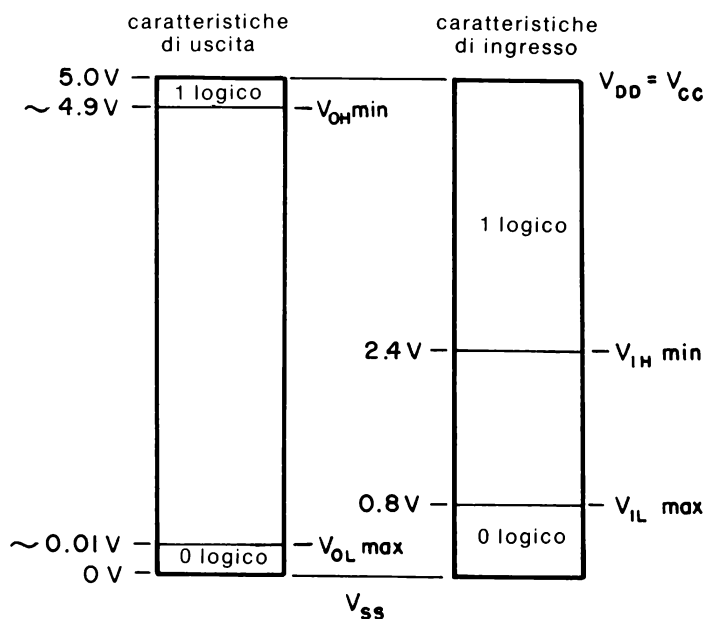
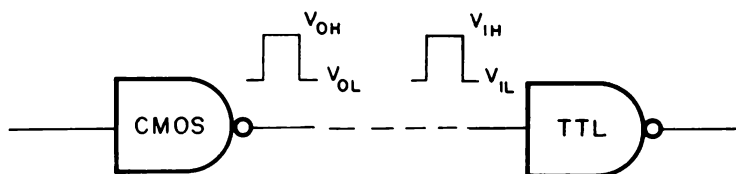



Fig. 3-4. Caratteristiche dei livelli logici d'ingresso e d'uscita del CMOS rispetto ai TTL standard.

Un'altra considerazione è la compatibilità dei livelli logici, come illustrato in Fig. 3-4. Anche se il dispositivo CMOS fosse capace di fornire i necessari 1,6 mA richiesti dal dispositivo TTL per uno 0 logico, l'equazione 3-4 con R_{OL} uguale a 800 Ω dice che la tensione di uscita del dispositivo CMOS sarebbe

$$\begin{aligned} V_{OL} &= I_L R_{OL} \\ &= (1.6 \text{ mA})\ (800\ \Omega) \\ &= 1.28 \text{ volts} \end{aligned}$$

che eccede la massima tensione d'ingresso permessa (V_{IL}) per uno 0 logico per un dispositivo TTL.

Per superare la limitata corrente d'uscita di sink del dispositivo CMOS, si può usare l'adattamento di Fig. 3-5 per interfacciare i CMOS con i TTL.

Il 4049 è un convertitore, amplificatore invertente, mentre il 4050 è non invertente. Si può notare che un circuito CMOS che deve essere interfacciato ad un TTL potrebbe funzionare da 3 V a 15 V d'alimentazione, anche se il 4049 o il 4050 e il carico TTL sono fatti funzionare a una tensione di +5 V. I buffer 4049 e 4050 sono progettati con circuiti di protezione degli ingressi, permettendo così che la loro tensione d'ingresso superi la loro tensione d'alimentazione. Tipicamente questo adattamento è capace di pilotare un massimo di 2 carichi TTL standard.

INTERFACCIAMENTO DA TTL STANDARD A CMOS

Quando si interfaccia un TTL standard con un CMOS (Fig. 3-6), ci sono due possibilità:

1 - La tensione d'alimentazione del carico CMOS è la stessa di quella del TTL (5 V).
2 - La tensione d'alimentazione del carico CMOS è compresa tra 5 e 15 V.

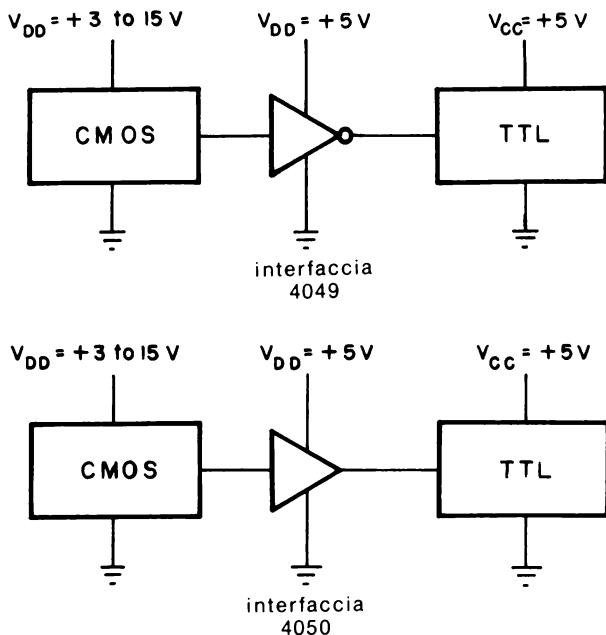



Fig. 3-5. Uso di un buffer 4049 (invertente) o 4050 (non invertente) per interfacciare dispositivi CMOS con dispositivi TTL standard.

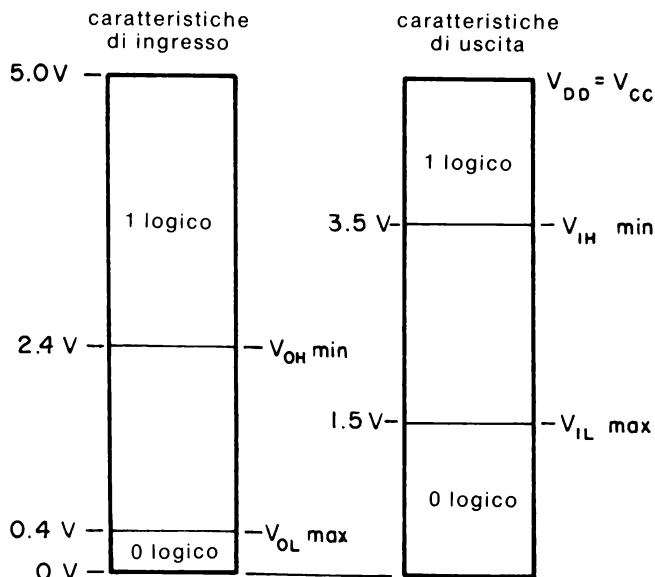
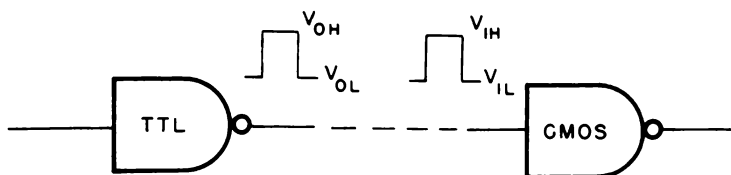



Fig. 3-6. Caratteristiche dei livelli logici d'ingresso e d'uscita del TTL standard rispetto ai CMOS.

In un caso o nell'altro la minima tensione d'uscita di un TTL a pull-up attivo, pari a 2,4 V, è minore della minima tensione d'ingresso di un CMOS richiesta per un ingresso logico 1 accettabile. Il livello di uscita minimo a 2,4 V di un TTL standard è spesso specificato ad un carico di corrente di circa 400 μA. Poichè virtualmente un dispositivo CMOS non richiede nessuna corrente (in realtà esso richiede 15 pA), la minima tensione d'uscita del TTL a livello 1 è tipicamente 3,4÷3,6 V. Di conseguenza, l'immunità di rumore è essenzialmente nulla.

Per superare le incompatibilità dei livelli logici, si usa un resistore esterno di pull-up, come mostrato in Fig. 3-7. Per valutare il valore della resistenza di pull-up, si devono conoscere o stabilire parecchi fattori:

1 - Fan-out (numero di carichi CMOS), M

2 - Massima corrente di collettore per 0 logico di un dispositivo TTL, I_{OL} max
3 - Massima corrente di fuga tra collettore ed emettitore per 1 logico di un dispositivo TTL, I_{CE} max
4 - Tensioni di alimentazione, V_{CC} (per TTL) e V_{DD} (per CMOS)
5 - Correnti a 0 logico e ad 1 logico per dispositivo CMOS, I_{IL} e I_{IH}
6 - Numero di stadi di pilotaggio dei TTL, N

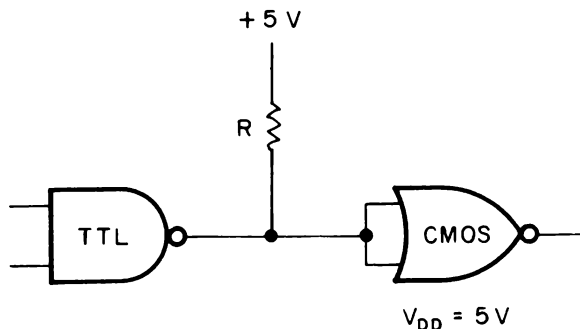



Fig. 3-7. Uso di una resistenza di pull-up per interfacciare TTL standard con CMOS aventi la stessa tensione di alimentazione.

I valori minimo e massimo di R, con riferimento alla Fig. 3-8, sono dati da:

$$R_{min} = \frac{V_{DD} - V_{OL}max}{I_{OL} - MI_{IL}} \qquad \text{(Eq. 3-5)}$$

e

$$R_{max} = \frac{V_{CC}min - V_{IH}min}{NI_{CE}max + MI_{IH}} \qquad \text{(Eq. 3-6)}$$

Poichè le correnti I_{IL} e I_{IH} dei CMOS sono entrambe approssimativamente pari a 10 pA e sono trascurabili, le due equazioni precedenti si possono semplificare così:

$$R_{min} = \frac{V_{DD} - V_{OL}max}{I_{OL}max} \qquad \text{(Eq. 3-7)}$$

e

$$R_{max} = \frac{V_{CC}min - V_{IH}min}{NI_{CE}max} \qquad \text{(Eq. 3-8)}$$

Per illustrare l'uso delle equazioni 3-7 e 3-8, si consideri l'interfacciamento di un singolo dispositivo TTL con un singolo dispositivo CMOS, come mostrato in Fig. 3-7. La massima corrente di collettore disponibile

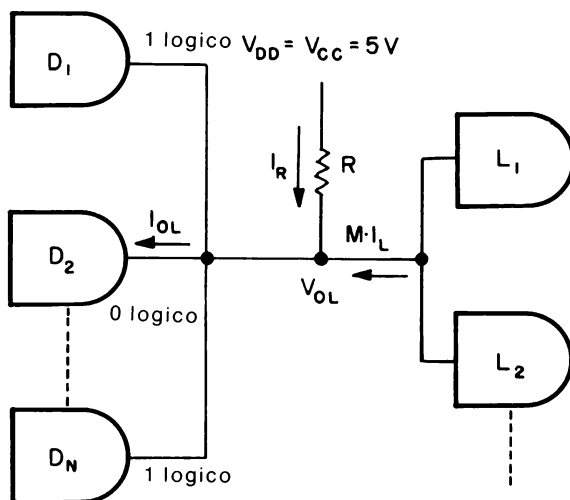



Fig. 3-8. Correnti ai nodi di un interfacciamento di TTL standard con CMOS.

da un TTL per uno 0 logico, I_{OL},è 1,6 mA e la massima logica corrente di fuga tra collettore ed emettitore per un TTL ad 1 logico è 100 μA.

Quindi:

$$R_{min} = \frac{(5 - 0.4)V}{16\ mA} = 288\ \Omega$$

e

$$R_{max} = \frac{(4.75 - 3.5)V}{(1)(100\ \mu A)} = 12.5\ k\Omega$$

Dispositivi TTL a collettore aperto, quali il 7401, 7403, 7405, 7406 e 7407, richiedono anch'essi una resistenza esterna di pull-up quando pilotano carichi CMOS. Tuttavia il driver a collettore aperto non dovrebbe essere collegato ad altri dispositivi TTL, ma può essere collegato ad ulteriori dispositivi CMOS.

Poichè la velocità e l'immunità di rumore dei dispositivi CMOS aumentano con la tensione d'alimentazione, si usa frequentemente una tensione d'alimentazione che è maggiore della tensione di 5 V d'alimentazione dei TTL. In questo caso di tensioni di alimentazioni comprese tra 5 e 15 V, si usano dispositivi a collettore aperto, quali i 7416, 7417 e 7426,

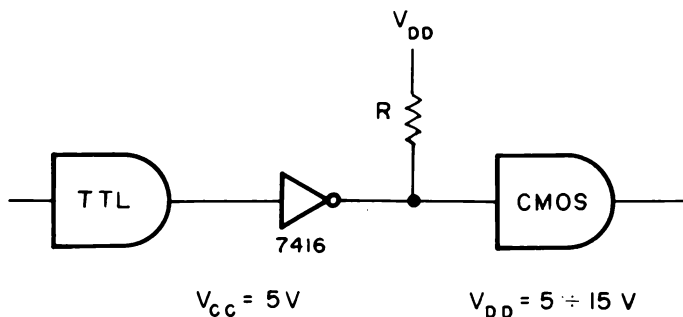



Fig. 3-9. Interfacciamento tra TTL e CMOS quando la tensione di alimentazione del CMOS è maggiore della tensione di alimentazione del TTL.

come mostrato in Fig. 3-9. Quindi il campo di variazione del resistore di pull-up può essere determinato dalle Equazioni 3-7 e 3-8. La Fig. 3-10 mostra un interfacciamento da TTL a CMOS usando un transistore npn.

ALTRE FAMIGLIE LOGICHE

In aggiunta ai circuiti TTL *standard* , identificati da prefisso "commerciale" 74, ci sono altre famiglie TTL quali *Low-power* (74L), *Schottky* (74S), *Low-power Schottky* (74LS), *high power* (74H), che hanno proprie specifiche di consumo di potenza e di velocità. Al momento di scrivere ciò, i dispositivi TTL di tipo low-power Schottky Hanno essenzialmente sostituito i dispositivi TTL di tipo low-power e high-power nella maggioranza delle applicazioni che non usano circuiti TTL Standard o CMOS.

Poichè la serie 74S o 74LS ha requisiti di corrente di ingresso significativamente minori dei dispositivi TTL standard, un dispositivo CMOS è capace di pilotare direttamente un dispositivo low-power o low-power

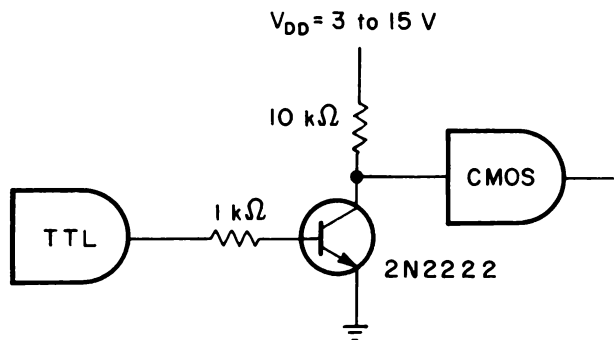
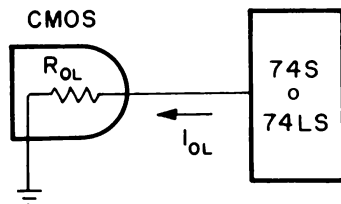



Fig. 3-10. Interfacciamento tra TTL e CMOS usando un transistor npn.

Fig. 3-11. Interfacciamento tra CMOS e TTL Schottky a bassa potenza.

Schottky. Come mostrato in Fig. 3-11, il dispositivo a bassa potenza richiede nominalmente una corrente di sink di 0,18 mA per un ingresso da 0 logico. Quindi per una resistenza d'uscita di un dispositivo CMOS uguale a 820 Ω, l'Equazione 3-4 mostra che

$$\begin{aligned} V_{OL} &= R_{OL} I_L(\text{sink}) \\ &= (800\ \Omega)(0.18\ \text{mA}) \\ &= 0.144\ \text{volts} \end{aligned}$$

è un ingresso a 0 logico accettabile per un dispositivo low-power. In realtà, la maggior parte dei dispositivi CMOS può pilotare in maniera adeguata due dispositivi TTL di tipo low-power.

Quando si interfaccia un dispositivo low-power TTL o low-power Schottky TTL per pilotare un dispositivo CMOS, si usa comunemente il metodo a resistenza di pull-up (Fig. 3-7). La resistenza è tipicamente compresa tra 820 Ω e 10 Ω.

INTERFACCIAMENTO CMOS-NMOS

I dispositivi MOS a canale N, quali memoria ad accesso casuale (RAM), possono funzionare agli stessi livelli positivi di tensione come i

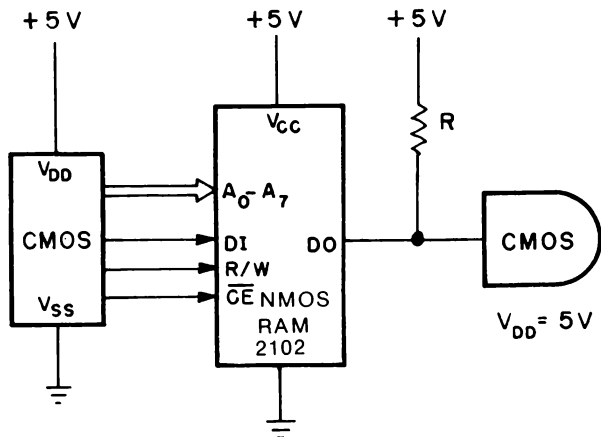



Fig. 3-12. Interfacciamento del CMOS con una RAM NMOS 2102.

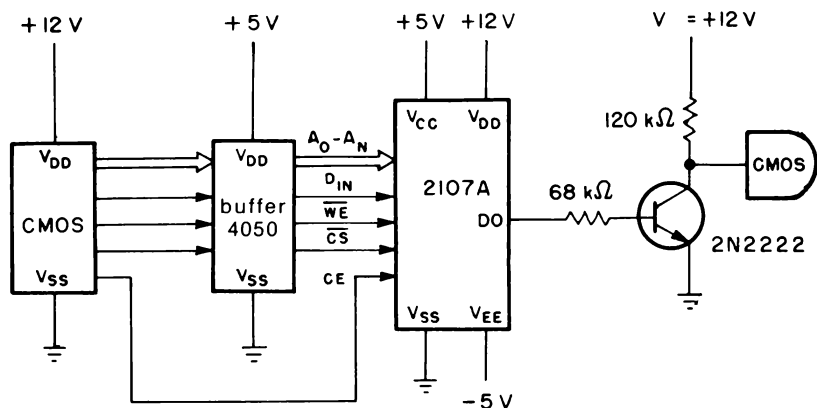



Fig. 3-13. Interfacciamento dei CMOS con una RAM NMOS 2107A avente due tensioni di alimentazione positive ed una tensione di alimentazione negativa.

dispositivi CMOS e gli ingressi NMOS sono compatibili con i CMOS. Come esempio, la Fig. 3-12 illustra l'interfacciamento di un CMOS con una RAM statica NMOS 2102 da 1 k. L'uscita del dato (DO) richiede solo un singolo resistore di pull-up per assicurare al dispositivo CMOS il livello logico 1 voluto. I segnali delle linee d'indirizzo, d'ingresso dati (DI) e abilitazione chip ($\overline{CE}$), non richiedono alcun interfacciamento.

D'altra parte, ci sono altri dispositivi NMOS, quale la RAM dinamica 2107A da 4 k, che usano tensioni d'alimentazioni positive e negative. Come mostrato in Fig. 3-13, i segnali d'ingresso alla 2107A sono traslati da +12 a +5 V con buffer CMOS di tipo 4050. L'uscita del dato è interfacciata ai circuiti CMOS mediante un buffer a transistor collegato a $+V_{DD}$.

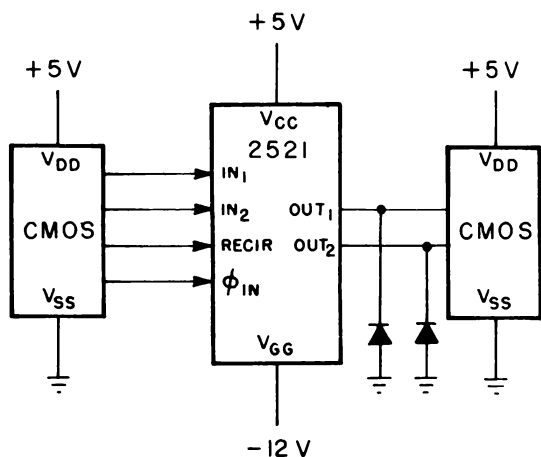



Fig. 3-14. Interfacciamento dei CMOS con un registro a scorrimento statico PMOS 2521 avente una tensione di alimentazione positiva ed una negativa.

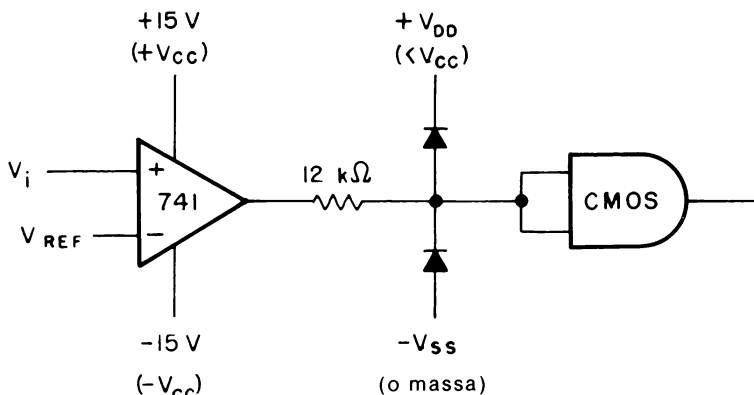



Fig. 3-15. Interfacciamento di un amplificatore operazionale comparatore con un CMOS.

INTERFACCIAMENTO CMOS-PMOS

I dispositivi MOS a canale P funzionano generalmente con una sola tensione d'alimentazione positiva ($+V_{CC}$) ed una sola tensione d'alimentazione negativa ($-V_{GG}$). Come con i dispositivi NMOS, gli ingressi dei PMOS sono direttamente compatibili con le uscite dei CMOS. Usando un registro a scorrimento statico da 128 bit di tipo 2511 come illustrato in Fig. 3-14, il solo componente in più richiesto è un diodo di protezione (clamp diode) dall'uscita del dato verso massa, poichè l'uscita del dispositivo PMOS diventerà negativa nello stadio di uscita BASSO (LOW).

INTERFACCIAMENTO AMPLIFICATORI OPERAZIONALI-CMOS

L'uscita dei circuiti di amplificatori operazionali con alimentazione sdoppiata si interfacciano facilmente con i dispositivi CMOS, come illustrato dal circuito comparatore con amplificatore operazionale di Fig. 3-15, supponendo che la tensione di alimentazione del CMOS sia minore della tensione di alimentazione dell'amplificatore operazionale. I due diodi di protezione impediscono agli ingressi dei CMOS di superare il campo di tensione compreso tra $-V_{SS}$ (o terra) e $+V_{DD}$, mentre il resistore in serie di 12 kΩ limita la corrente d'uscita dell'amplificatore operazionale nel caso che l'uscita dell'amplificatore operazionale vada alla tensione di alimentazione negativa ($-V_{CC}$).

INTRODUZIONE AGLI ESPERIMENTI

I tre esperimenti che seguono sono stati pensati per dimostrare come i dispositivi CMOS possano essere facilmente interfacciati con altri dispo-

sitivi logici, quali i dispositivi TTL. Gli esperimenti che si effettueranno si possono riassumere come segue:

Esperimento N°	*Scopo*
1	Dimostrare come si interfaccia un carico di un TTL standard funzionante a +5 V con un circuito CMOS con tensione di alimentazione variabile tra +3 e +15 V.
2	Dimostrare l'interfacciamento di un carico CMOS con un dispositivo TTL standard usando una resistenza di pull-up, con entrambi i dispositivi alimentati alla stessa tensione pari a 5 V.
3	Dimostrare l'interfacciamento di un carico CMOS con un dispositivo TTL standard usando un transistor npn. Il carico CMOS è capace di funzionare in un campo di alimentazione compreso tra +3 V e +15 V.

ESPERIMENTO 1

Scopo

Questo esperimento dimostra l'interfacciamento di un carico TTL standard usante una alimentazione di +5 V, con un circuito CMOS con alimentazione compresa tra 3 V e 15 V. Un buffer 4050 serve come interfaccia.

Passo 1

Collegare il circuito come mostrato nello schema. Il dispositivo 4047 è collegato come multivibratore astabile e serve come circuito CMOS

Configurazione dei terminali dei Circuiti integrati (Fig. 3-16)

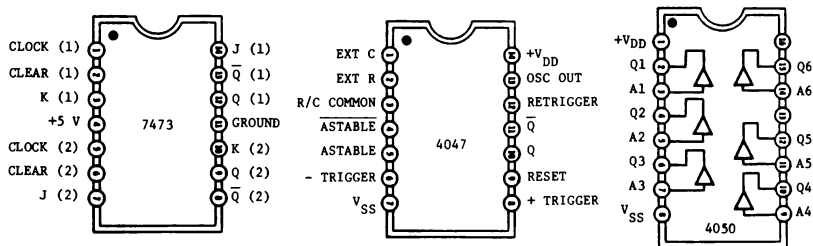



Fig. 3-16

Schema del circuito (Fig. 3-17)

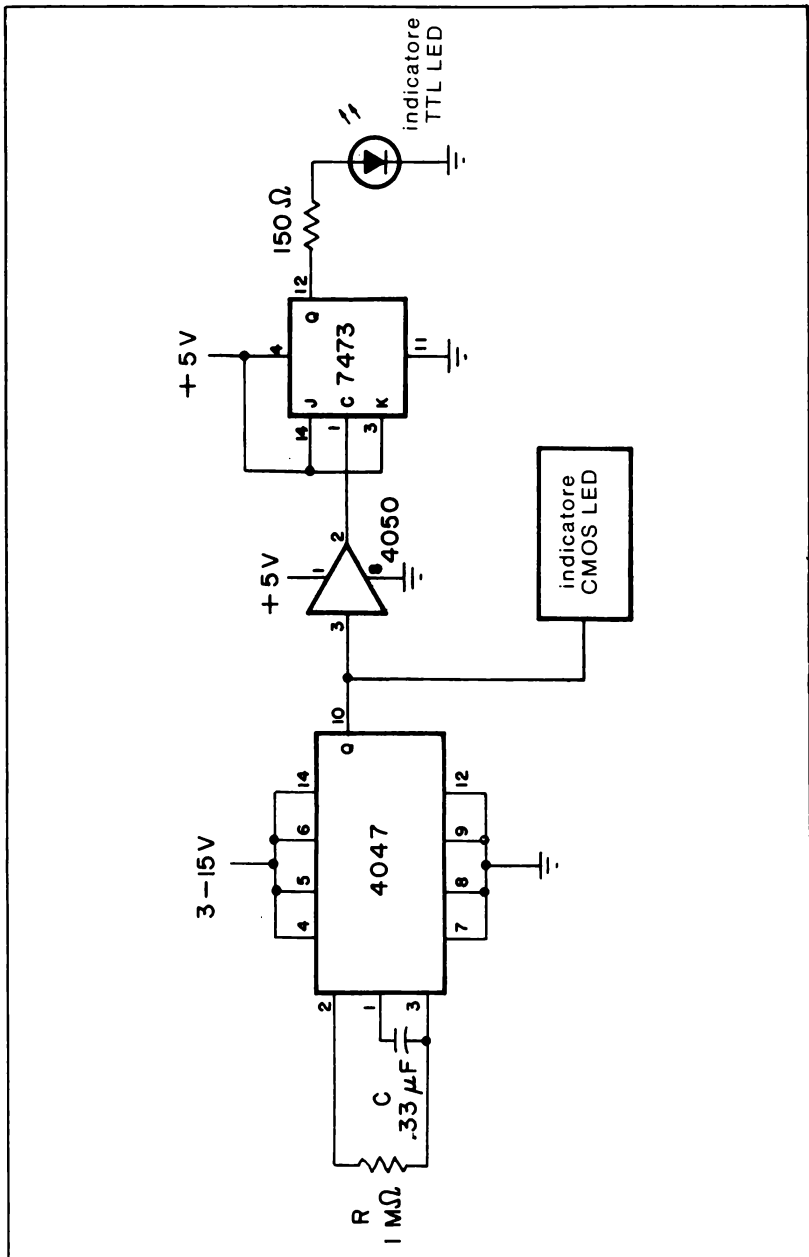



Fig. 3-17

esemplificativo da interfacciarsi con un carico TTL. Poichè si usa uno solo dei 6 buffer del dispositivo 4050, si devono collegare gli ingressi non usati (terminali 5, 7, 9, 11 e 14) alla tensione di alimentazione di 5 V dei TTL, poichè gli ingressi CMOS non usati non si possono lasciare appesi. Il carico TTL è un semplice flip-flop di tipo JK 7473. Il LED e la resistenza di 150 Ω realizzano il semplice indicatore TTL LED.

Passo 2

Collegare le alimentazioni al breadboard. Regolare la tensione d'alimentazione al circuito integrato 4047 ad una tensione compresa tra 3 e 15 V. Il buffer 4050 è stato progettato con circuiti di protezione degli ingressi, che permettono alla tensione sugli ingressi di superare la tensione di alimentazione.

Dopo aver collegato l'alimentazione al breadboard, l'indicatore CMOS LED sul piedino 10 del 4047 lampeggierà all'incirca ad ogni secondo.

Inoltre l'indicatore TTL LED collegato all'uscita del 7473 dovrebbe lampeggiare una volta ogni due volte che si accende l'indicatore con CMOS LED. Il 7473 agisce semplicemente come contatore divisore per 2.

Passo 3

Cambiare la tensione d'alimentazione collegata al dispositivo 4047 a 15 V. Si può notare come il circuito funzioni esattamente come al Passo 2.

Passo 4

Diminuire la tensione d'alimentazione da 15 V a 3 V. C'è qualche differenza nel funzionamento del circuito?

No. Il buffer CMOS 4050, anche se collegato a 5 V d'alimentazione permette di collegare ad un carico TTL circuiti CMOS con una tensione d'alimentazione compresa tra 3 e 15 V.

ESPERIMENTO 2

Scopo

Questo esperimento dimostra l'interfacciamento di un carico CMOS ad un dispositivo TTL usando una resistenza di pull-up esterna. Entrambi i dispositivi CMOS e TTL sono alimentati a +5 V.

Configurazioni dei terminali di Circuiti integrati (Fig. 3-18)

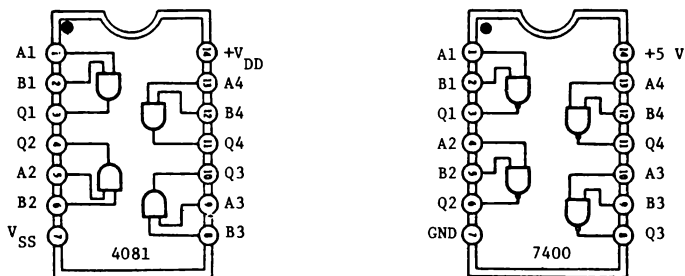



Fig. 3-18

Schema del circuito (Fig. 3-19)

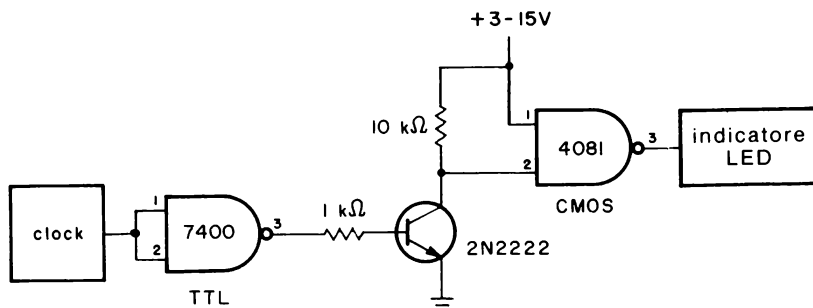



Fig. 3-19

Formule di progetto

Resistenza di pull-up:

$$R_{min} = 270\ \Omega$$

$$R_{max} = \frac{1.25}{N(0.1\ mA)}$$

dove,

N è il numero degli stadi TTL pilotanti

Passo 1

Collegare il circuito come mostrato nello schema. Il clock e la porta NAND 7400 realizzano il circuito TTL di pilotaggio, mentre la porta AND 4081 è il carico CMOS. Collegare gli ingressi non usati del 4081 (terminali 5, 6, 8, 9, 12 e 13) alla tensione d'alimentazione.

Passo 2

Dare tensione al breadboard e regolare la frequenza del clock cosicchè l'indicatore a LED N° 1 lampeggi all'incirca una volta al secondo. Poichè un solo ingresso della porta AND CMOS a due ingressi è collegata ad 1 logico, l'uscita della porta AND sarà come l'uscita della porta NAND TTL. La resistenza di pull-up è usata per superare la incompatibilità dei livelli logici esistente tra le famiglie CMOS e TTL.

ESPERIMENTO 3

Scopo

Questo esperimento dimostra l'interfacciamento di un carico CMOS verso un dispositivo TTL usando un transistor npn. Sebbene il dispositivo TTL funzioni con una tensione di alimentazione a 5 V, il carico CMOS può essere alimentato con tensioni di alimentazione compresa tra 3 e 15 V.

Passo 1

Collegare il circuito come mostrato nello schema. Il clock e la porta NAND 7400, come nell'esperimento precedente, realizzano il circuito di pilotaggio TTL, mentre la porta AND 4081 è il carico CMOS. Collegare gli ingressi non usati del 4081 (terminali 5, 6, 8, 9, 12 e 13) alla tensione +3 V.

Passo 2

Dare tensione al breadboard e regolare la frequenza del clock cosicchè l'indicatore LED lampeggi approssimativamente ogni secondo. Si usa il transistor npn per superare le incompatibilità dei livelli logici esistenti

Configurazione dei terminali dei Circuiti integrati (Fig. 3-20)

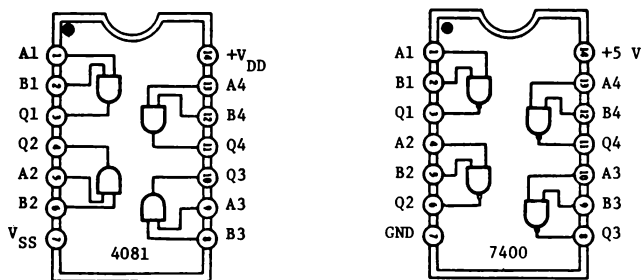



Fig. 3-20

Schema del circuito (Fig. 3-21)

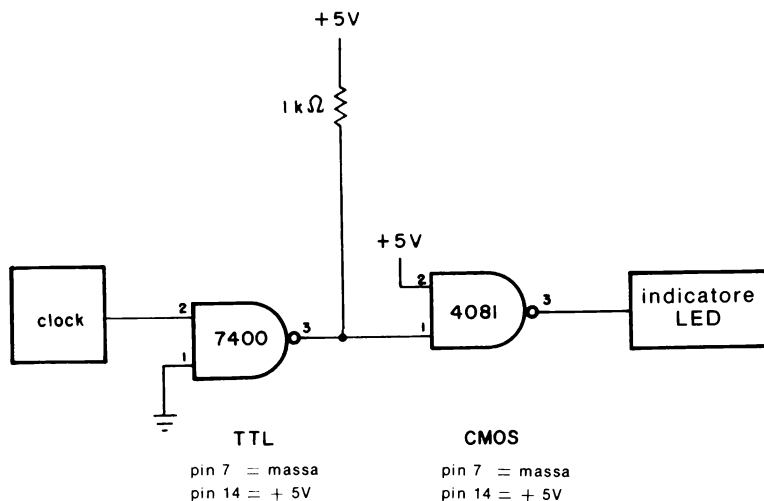



Fig. 3-21

tra il driver TTL 0/5 V e il carico CMOS (0/3 V). Quando si usa lo stadio del transistor, questo inverte il segnale d'ingresso, cosicchè quando l'ingresso dello stadio del transistor è a + 5 V (1 logico TTL), la tensione di collettore è essenzialmente 0 V poichè il transistor è in saturazione. Quando l'ingresso è a 0 V (0 logico TTL), la tensione di collettore è quasi uguale a quella dell'alimentazione del CMOS o 3 V, poichè il transistor è interdetto.

Passo 3

Aumentare la tensione d'alimentazione del transistor e dei circuiti CMOS a 10 V. L'indicatore LED continuerà ancora a lampeggiare poichè il circuito del transistor permette al carico CMOS di funzionare correttamente ad una tensione di alimentazione che è diversa da +5 V standard usati per i dispositivi TTL.

CAPITOLO 4

Porte di trasmissione e Multiplexer/Demultiplexer analogici

INTRODUZIONE ED OBIETTIVI

Le porte di trasmissione CMOS sono dispositivi unici in quanto non hanno equivalenti TTL. Essi hanno molti vantaggi e possono essere usati per la trasmissione di segnali analogici o digitali, per controllare circuiti amplificatori operazionali e per la simulazione di semplici interruttori e di funzioni logiche, ecc. I multiplexer/demultiplexer analogici sono una estensione della porta di trasmissione fondamentale.

Al termine di questo capitolo si sarà in grado di fare ciò che segue:

- Descrivere i componenti fondamentali e le funzioni di una pòrta di trasmissione.
- Descrivere come le porte di trasmissione possano essere collegate per simulare interruttori spst, spdt, dpst e dpdt.
- Descrivere come le porte di trasmissione possano essere collegate per simulare una porta AND, una porta OR, flip-flop di tipo JK e di tipo D.
- Usare porte di trasmissione per controllare il funzionamento di circuiti amplificatori operazionali.
- Descrivere il funzionamento dei muliplexer/demultiplexer 4051, 4052, 4053, 4067 e 4097.

LA PORTA DI TRASMISSIONE

La porta di trasmissione CMOS, talvolta chiamata interruttore bilaterale o analogico, è un dispositivo unico nel senso che non ha nessun equivalente TTL. Pur nella sua semplicità, essa è un blocco fondamentale per formare flip-flop, registri a scorrimento e contatori CMOS. Segnali analogici e digitali a basso livello possono essere commutati verso altri circuiti a velocità che si avvicinano ai 10 MHz. Diversamente da interruttori meccanici o da relè, la porta di trasmissione non mostra alcun rimbalzo di contatti durante la commutazione. In questa sezione saranno trattati il funzionamento e l'applicazione delle porte di trasmissione.

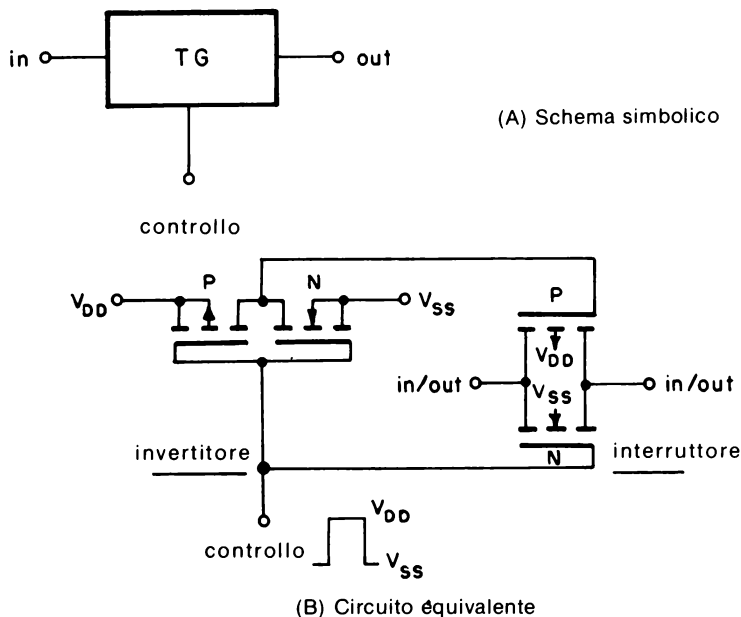



Fig. 4-1. La porta di trasmissione.

La porta di trasmissione, mostrata in Fig. 4-1B, è costituita da 2 coppie di transistor MOS a canale p e a canale n. Una coppia è collegata come semplice invertitore, mentre l'altra coppia è collegata in parallelo e funziona da interruttore. Quando la tensione di controllo V_C è uguale ad un 1 logico (V_{DD}), i transistor a canale p e a canale n sono in conduzione, ottenendo un percorso a bassa resistenza tra ingresso ed uscita. Se la tensione di controllo è posizionata ad uno 0 logico (V_{SS}), i transistor sono ora interdetti, ottenendo virtualmente un circuito aperto tra ingresso ed uscita. Poichè la coppia di transistor a canale p e a canale n che forma l'interruttore è collegata in parallelo, i *terminali d'ingresso e d'uscita sono*

intercambiabili; cosicchè una porta di trasmissione è *bilaterale. Diversamente da ogni altra funzione logica, attraverso una porta di trasmissione possono passare dati digitali o analogici in entrambi i versi.*

Le porte di trasmissione CMOS sono costruite da un certo numero di produttori, quali RCA, Intersil, Siliconix, National Semiconductor, Harris, Fairchild, Motorola e Solid State Scientific.

Forse le più note sono i 4 interruttori bilaterali 4016 e 4066, quali indicati dalla disposizione dei pin di Fig. 4-2. Quando la tensione di controllo è ad 1 logico, la resistenza di conduzione ("on") per il 4016 è 300 Ω mentre la resistenza di conduzione è tipicamente 80 Ω per il 4066. Per una tensione di controllo o 0 logico, la resistenza di apertura ("off") per entrambi i dispositivi è tipicamente 10^{12} Ω. Di conseguenza, la sorgente di commutazione non procurerà effetti quando la porta di trasmissione è nello stato "off". Il campo di variazione dei segnali d'ingresso non deve superare i limiti della tensione d'alimentazione. Per segnali digitali, l'ingresso può variare da terra a +15 V. Per segnali analogici l'ingresso può variare da —7,5 V a +7,5 V. In un caso o nell'altro, la massima differenza di tensione V_{DD} — V_{SS} è 15 V.

Funzioni da interruttore

Sia il 4016 che il 4066 possono essere collegati per realizzare una varietà di funzioni di commutazione, come mostrato in Fig. 4-3. Le funzioni a semplice contatto (spst, dpst) non richiedono alcun elemento logico in più, mentre le funzioni di scambio richiedono un solo invertitore, quale il 4069.

Come alternativa alla porte di trasmissione 4016 e 4066, si può realizzare una combinazione di una coppia complementare duale più un chip invertitore (Fig. 4-4)come equivalente funzionale di una sola porta di trasmissione. Come mostrato in Fig. 4-5, il 4007 è collegato per funzionare come invertitore di tipo spst, mentre i collegamenti mostrati in Fig. 4-6 rappresentano un interruttore spdt.

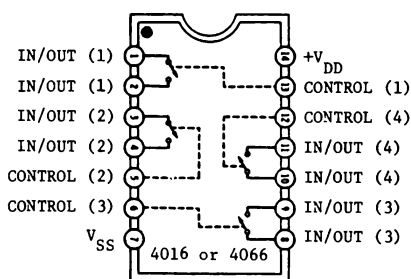



Fig. 4-2. Configurazione dei piedini della porta di trasmissione quadrupla 4016/4066.

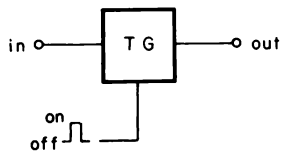
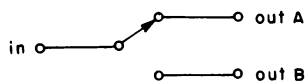
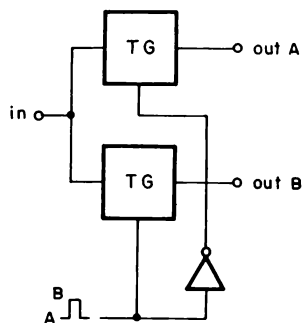
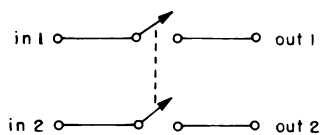
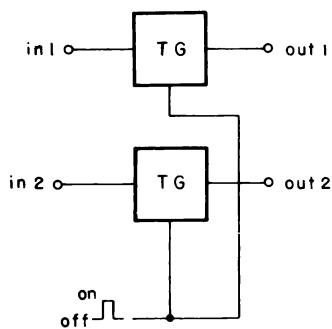
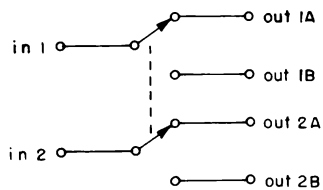
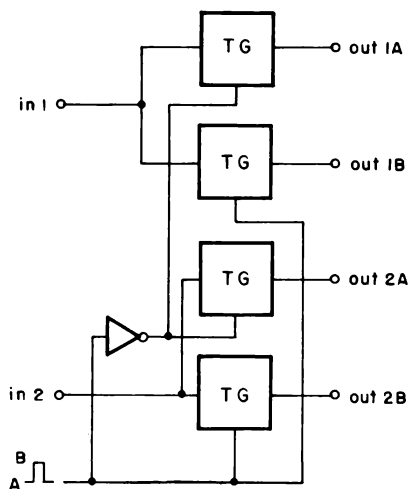



Fig. 4-3. Funzioni di interruttore usando porte di trasmissione.

V_{DD} (14)

(2) (11)

P P P

(6) (13) (3) (1) (10) (12)

(8) (5)

N N N

(4) (9)

(7)

V_{SS}

invertitore

doppia coppia complementare

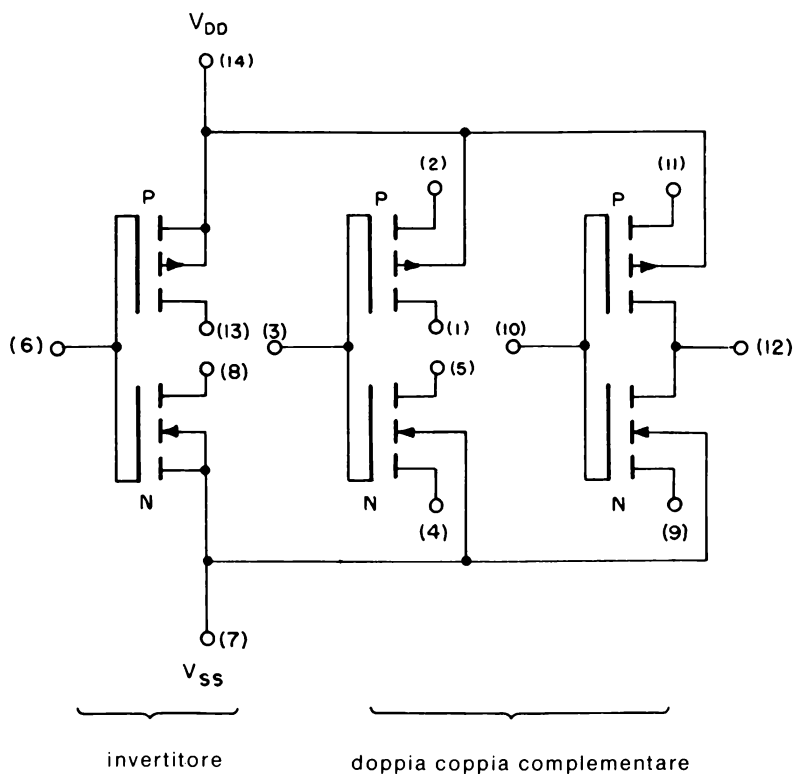



Fig. 4-4. Schema della doppia coppia complementare più invertitore 4007.

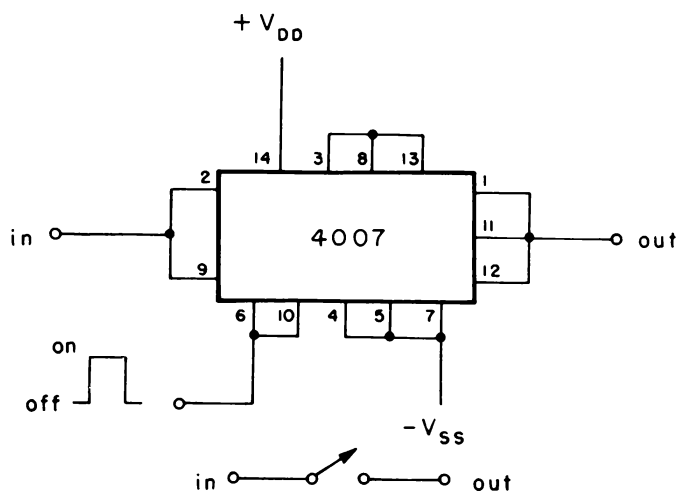



Fig. 4-5. Interruttore di tipo spst usando un 4007.

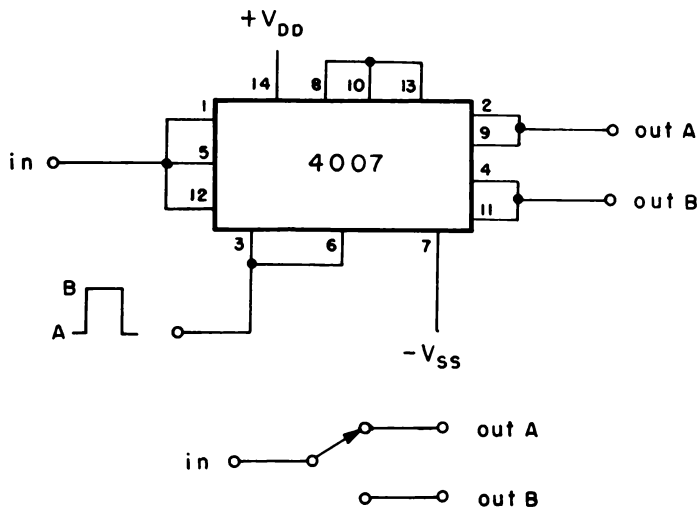



Fig. 4-6. Interruttore di tipo spdt usando un 4007.

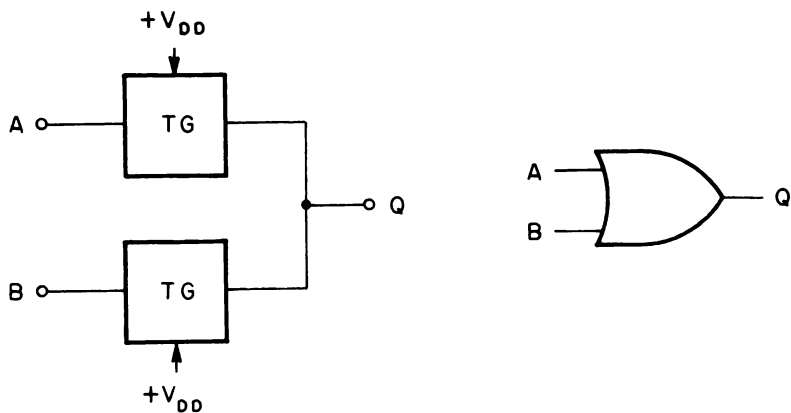



Fig. 4-7. Porta OR a due ingressi fatta con porte di trasmissione.

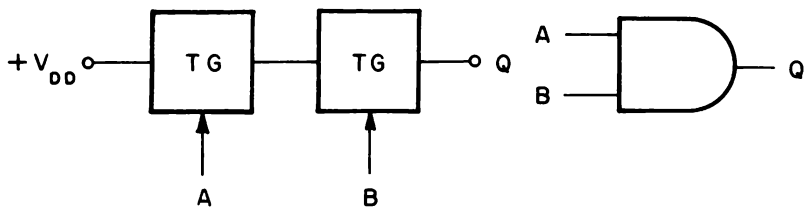



Fig. 4-8. Porta AND a due ingressi fatta usando porte di trasmissione.

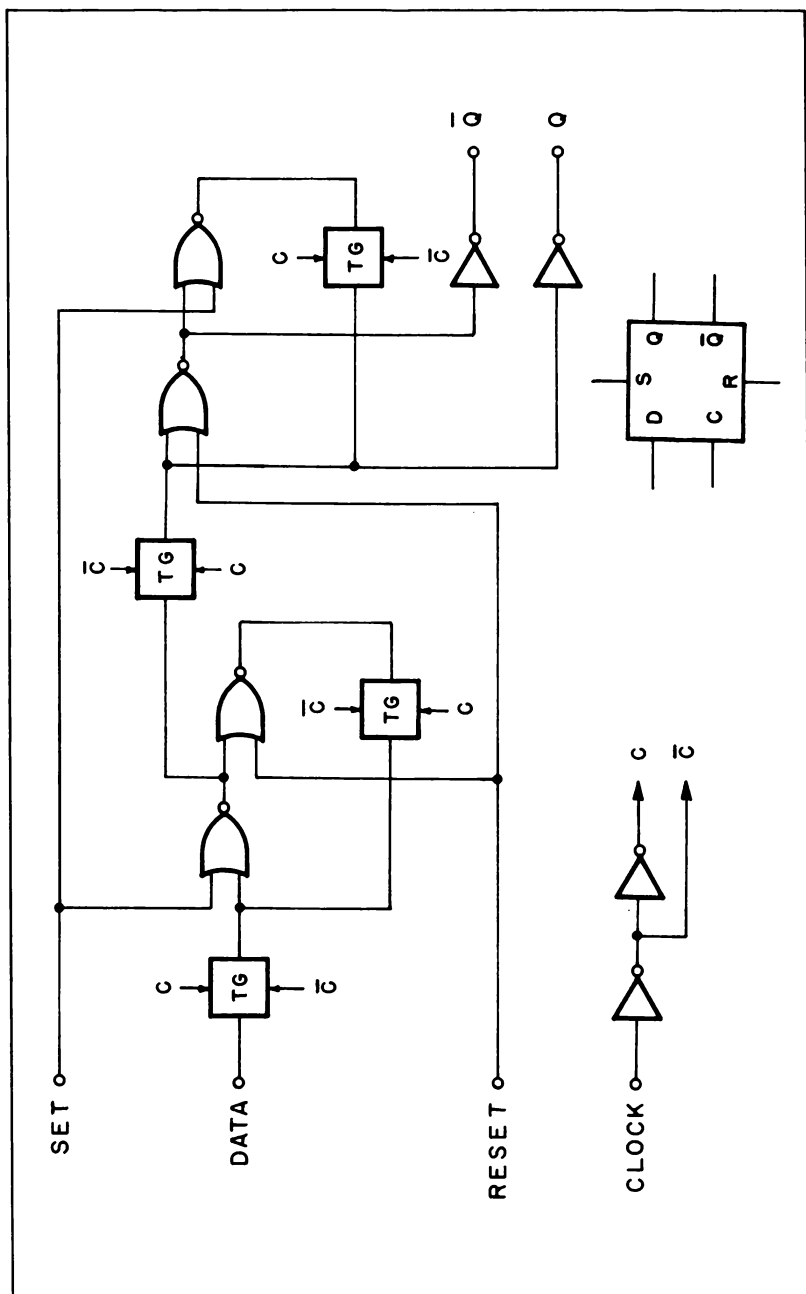



Fig. 4-9. Flip-flop di tipo D.

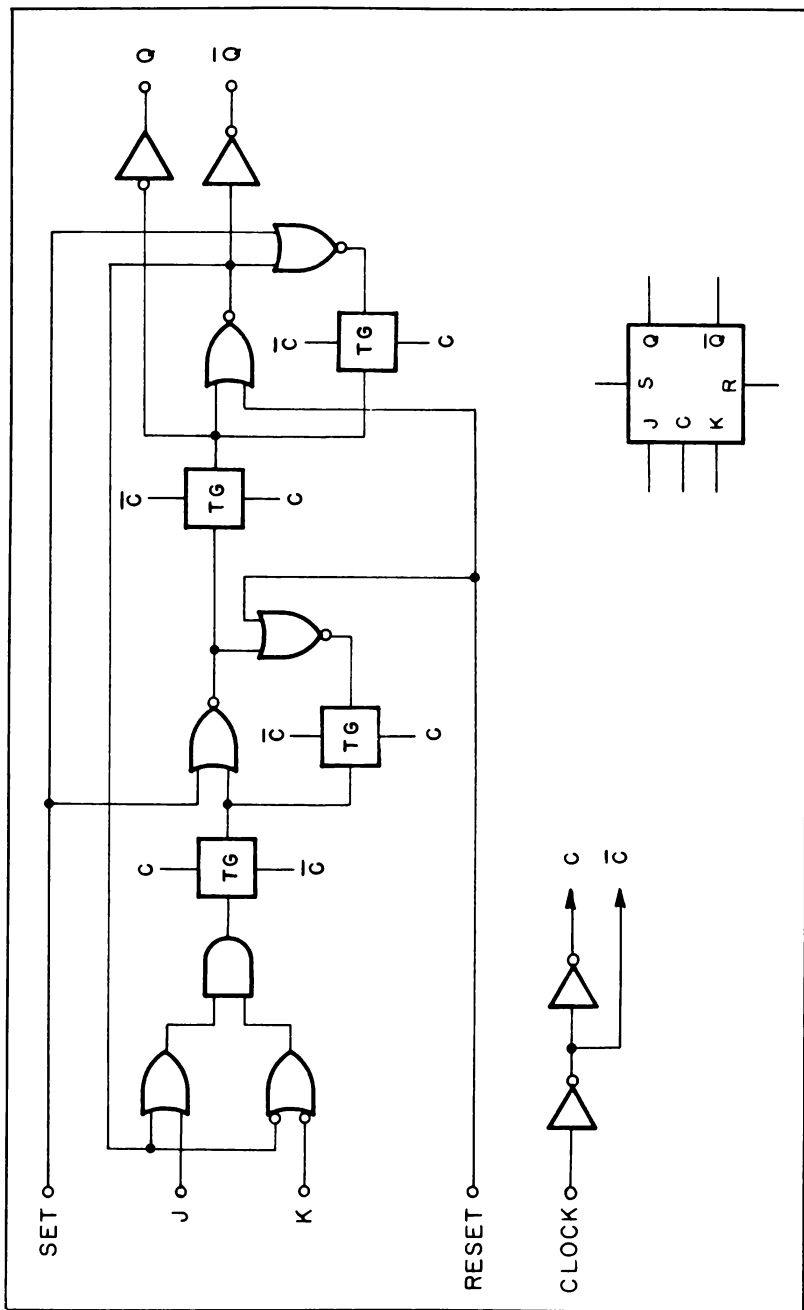



Fig. 4-10. Flip-flop di tipo JK.

Funzioni logiche

Con un numero sufficiente di porte NAND, si può virtualmente costruire ogni tipo di funzione logica. Lo stesso è quasi vero per le porte di trasmissione. La Fig. 4-7 illustra i collegamenti richiesti per un uso come porta OR digitale. Di conseguenza l'uscita sarà a 1 logico se uno degli ingressi è a 1 logico. Questi circuiti mostrano che le porte di trasmissione possono essere usate in una configurazione di tipo "wired-OR", che non è possibile con gli altri dispositivi CMOS.

Sono pure possibili porte AND, come mostrato in Fig. 4-8. L'uscita sarà a 1 logico solo se tutti gli ingressi sono a 1 logico, altrimenti l'uscita è a 0 logico.

Quando è usata insieme con 4 porte NAND e 4 invertitori, si può ottenere un flip-flop master-slave tipo D, come mostrato in Fig. 4-9, che è identico a una metà del dispositivo 4013. La Fig. 4-10 illustra l'uso delle porte di trasmissione per formare un flip-flop JK (identico ad una metà del 4027).

Porte di trasmissione e amplificatori operazionali

Poichè le porte di trasmissione sono in grado di accettare ingressi sia analogici che digitali, esse ben si prestano a numerosi circuiti utilizzanti amplificatori operazionali. Come mostrato in Fig. 4-11, si usa una serie di porte di trasmissione per controllare il guadagno di un amplificatore

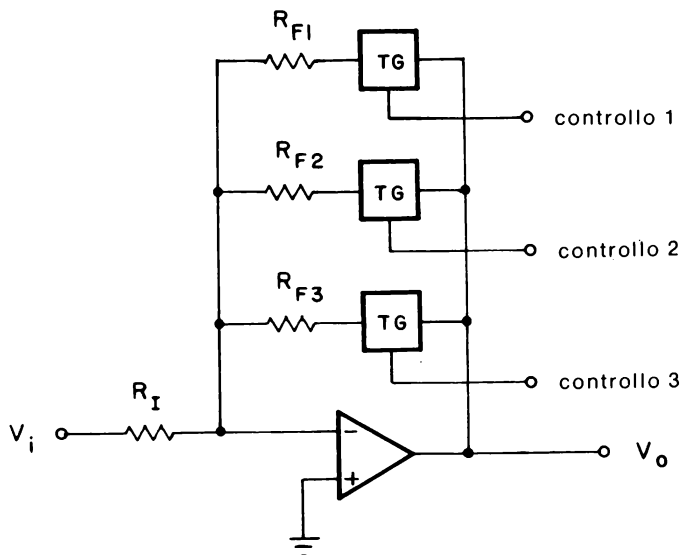



Fig. 4-11. Controllo digitale di guadagno ad anello chiuso di un amplificatore operazionale invertente.

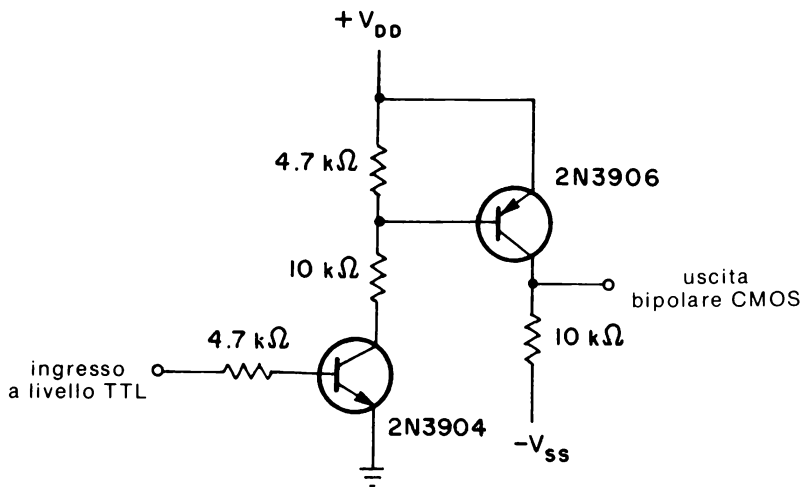



Fig. 4-12. Circuito per una traslazione di livello di tensione tra un TTL ed un CMOS bipolare.

invertente. Se si fa abbastanza grande la resistenza di reazione, la resistenza di conduzione delle porte di trasmissione avrà un effetto trascurabile sul guadagno, cosicchè

$$\text{Gain} = \frac{V_o}{V_i} = \frac{R_F}{R_I} \qquad \text{(Eq. 4-1)}$$

Si può mettere in risalto come sia l'amplificatore operazionale che la porta di trasmissione siano alimentati con alimentazioni sdoppiate (± 7,5 V massimi). Se il guadagno di questo tipo di circuito deve essére controllato con logica digitale, quale un decodificatore funzionante tra terra e V_{DD}(+ 7,5 V massimo), si richiede l'uso del circuito addizionale di Fig. 4-12 per una traslazione di livello logico.

La Fig. 4-13 illustra come le porte di trasmissione siano usate per invertire un segnale analogico. La porta C è usata come un semplice invertitore, mentre il piedino CONTROL della porta non usata è collegato a V_{SS} per prevenire eventuali danneggiamenti all'intero contenitore a causa di una grande dissipazione di potenza.

Per certi tipi di filtri attivi, le porte di trasmissione possono essere usate per spostare la frequenza di centro o di taglio invece di usare potenziometri a più elementi e resistori variabili in tensione (per es. amplificatori a trasconduttanza). La Fig. 4-14 mostra come due porte di trasmissione siano collegate ad un filtro passa basso di secondo ordine con componenti uguali. La porta di trasmissione è posta in serie ad ogni

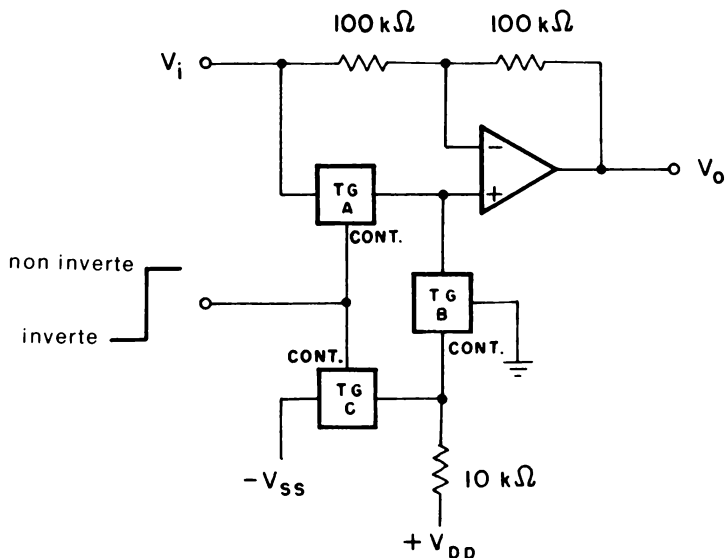



Fig. 4-13. Inversione di un segnale analogico sotto controllo digitale.

resistenza R determinanti le frequenze. Se si chiudono due interruttori nello stesso istante, la frequenza di taglio del filtro è data da

$$f = \frac{1}{2\pi(RC)} \qquad \text{(Eq. 4-2)}$$

Ora, se si commuta nello stato "on" e "off" la tensione di controllo delle due porte, cioè tra V_{DD} e V_{SS}, nel rapporto 50÷50 (ciclo utile del 50%), la resistenza effettiva o media è quindi *doppia* di quella che si ha quando l'interruttore è sempre chiuso. Di conseguenza, la frequenza di taglio è ora metà del valore precedente. Quindi variando il ciclo utile

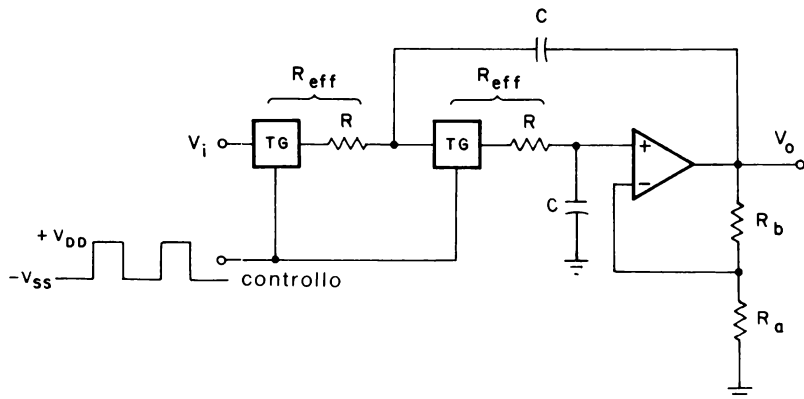



Fig. 4-14. Filtro attivo passa-basso di secondo ordine con frequenza di taglio variabile.

della tensione di controllo della coppia di porte di trasmissione, si può spostare la frequenza di taglio del filtro. Matematicamente,

$$f = \frac{1}{2\pi R_{eff} C} \qquad \text{(Eq. 4-3)}$$

dove

$$R_{eff} = \frac{R}{\%\ \text{ciclo utile}} \times 100$$

La frequenza della tensione di controllo deve essere almeno 10 volte la frequenza di taglio più alta del filtro per un funzionamento corretto. Nel Capitolo 5 è descritto un generatore a ciclo utile variabile a frequenza costante utilizzante un temporizzatore 555.

MULTIPLEXER/DEMULTIPLEXER ANALOGICI

La combinazione di multiplexer/demultiplexer CMOS è costituita fondamentalmente da una serie di porte di trasmissione con qualche tipo di decodificatore BCD, come indicato nello schema a blocchi di Fig.

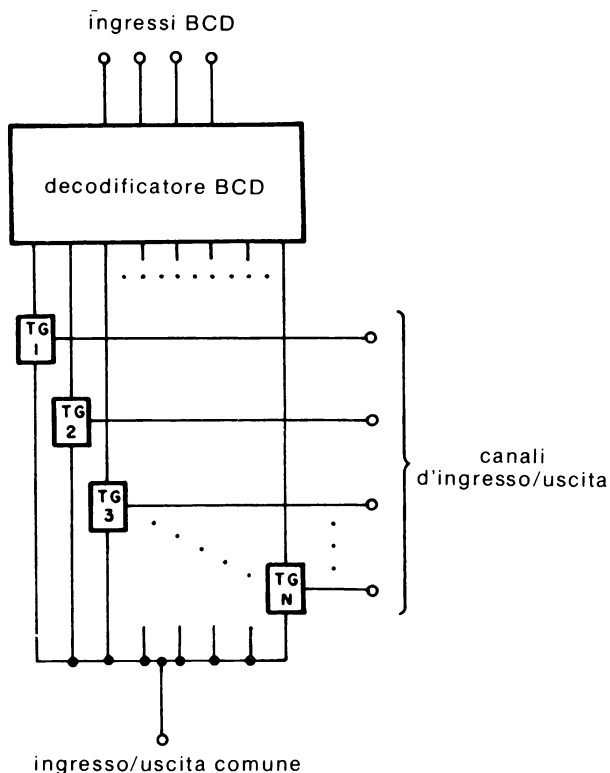



Fig. 4-15. Schema a blocchi di un multiplexer/demultiplexer analogico.

Tabella 4-1. Codice di selezione del canale.

Canale	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	1
15	1	1	1	1

4-15. Invece di costruire ciascuno il suo, i produttori di CMOS producono vari multiplexer,demultiplexer, quali:

- 4051 multiplexer/demultiplexer singolo a 8 canali
- 4052 multiplexer/demultiplexer differenziale a 4 canali
- 4053 multiplexer/demultiplexer triplo a 2 canali
- 4067 multiplexer/demultiplexer singolo a 16 canali
- 4097 multiplexer/demultiplexer differenziale a 8 canali

aventi le corrispondenti configurazioni dei terminali mostrati in Fig. 4-16. Per i dispositivi 4051, 4052 e 4053 la resistenza on è tipicamente 150 Ω, mentre essa è 200 Ω per il 4067 e il 4097. Per tutti i dispositivi elencati sopra, la selezione del canale è impedita quando l'ingresso INHIBIT è ad 1 logico. Quando l'ingresso INHIBIT è a 0 logico, la selezione del canale è determinata da una parola binaria di 2 bit per il 4052, da una parola di 3 bit per il 4051, il 4053, il 4097 e da una parola di 4 bit per 4097 (Tabella 4-1).

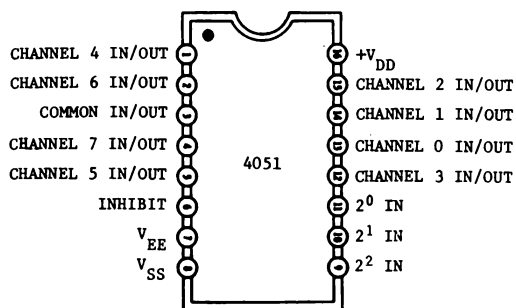
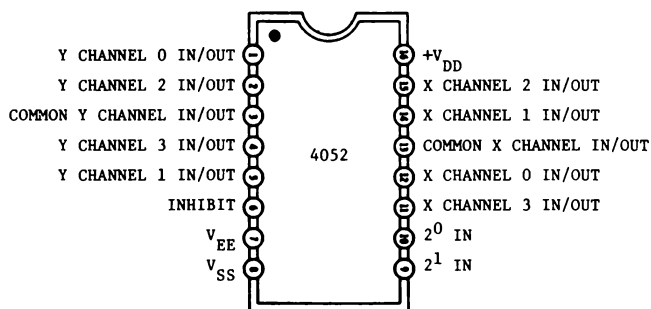
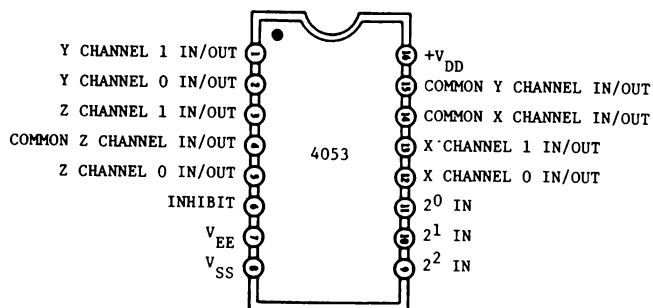
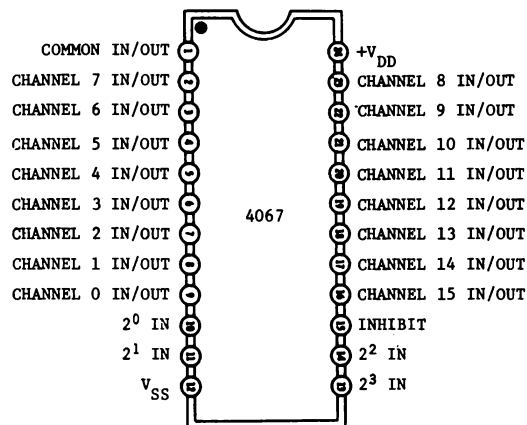
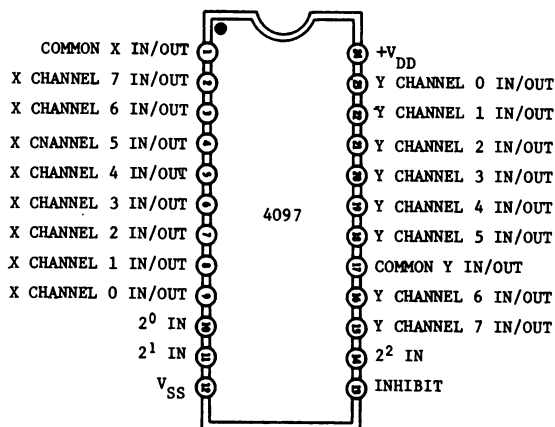
I terminali V_{EE} del 4051, del 4052 e del 4053 sono collegati ai terminali V_{SS} per segnali digitali e ad una tensione negativa (V_{DD} — V_{EE} = 15 V al massimo), mentre V_{SS} è a terra, per segnali analogici. Per il 4067 o il 4097 i piedini V_{SS} sono collegati analogamente al terminale V_{EE} del 4051, del 4052 o del 4053.

(A) 4051, singolo multiplexer/demultiplexer a 8 canali.

(B) 4052, doppio multiplexer/demultiplexer a 4 canali.

(C) 4053, triplo multiplexer/demultiplexer a 2 canali.

(D) 4067, singolo multiplexer/demultiplexer a 16 canali.

(E) 4097, doppio multiplexer/demultiplexer a 8 canali.

Fig. 4-16. Configurazione dei terminali (pin) dei multiplexer/demultiplexer analogici CMOS.

INTRODUZIONE AGLI ESPERIMENTI

Gli esperimenti sono stati progettati per mostrare il funzionamento e l'applicazione delle porte di trasmissione e dei multiplexer/demultiplexer CMOS. Gli esperimenti che si effettueranno si possono riassumere come segue:

Esperimento N°	*Scopo*
1	Dimostrare il funzionamento di una singola porta di trasmissione 4016 o interruttore bilaterale
2	Dimostrare come si collegano le porte di trasmissione per rappresentare un interruttore spdt.
3	Dimostrare il funzionamento di un 4051, singolo multiplexer/demultiplexer a 8 canali.

ESPERIMENTO 1

Scopo

Questo esperimento dimostra il funzionamento di una singola porta di trasmissione, o interruttore bilaterale, usando il 4016.

Passo 1

Collegare il circuito come indicato nello schema. Poichè tutti gli ingressi non utilizzati dai CMOS non possono essere lasciati appesi, collegare a massa i terminali 4, 5, 6, 8, 10 e 11.

Passo 2

Dare tensione al breadboard e regolare la frequenza di uscita del clock cosicchè l'indicatore a LED N° 1 si accenda approssimativamente una volta al secondo. Che cosa si può dire circa l'indicatore a LED N° 2?

Configurazione dei terminali del circuito integrato (Fig. 4-17)

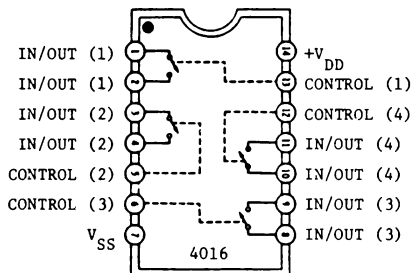



Fig. 4-17.

Schema del circuito (Fig. 4-18)

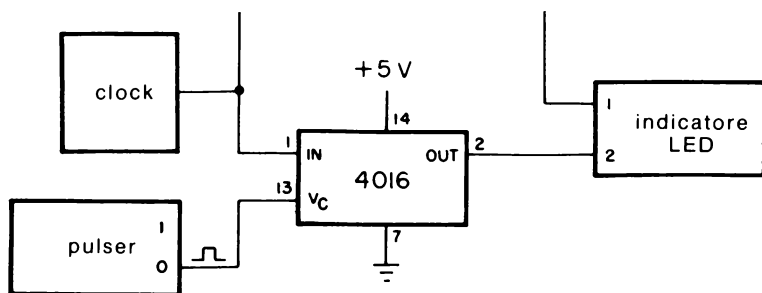



Fig. 4-18.

Poichè l'ingresso CONTROL è allo 0 logico, la porta di trasmissione agisce come un circuito aperto tra ingresso ed uscita (terminali 1 e 2). Di conseguenza, l'indicatore a LED *non si illuminerà.*

Passo 3

Premere ora sul pulser cosicchè l'ingresso CONTROL della porta di trasmissione sia ad 1 logico. Che cosa capiterà ora all'indicatore a LED N° 2?

Si osserverà che l'indicatore a LED N° 2 si accenderà esattamente allo stesso modo dell'indicatore LED N° 1, che è il segnale d'ingresso. Poichè l'ingreso CONTROL è ad 1 logico, la porta di trasmissione si comporta come un corto circuito tra ingresso ed uscita.

Rilasciare il pulser. Si osserverà che l'indicatore a LED N° 2 sarà spento, come al Passo 2, cosicchè la porta di trasmissione si comporta come un circuito aperto quando l'ingresso CONTROL è a 0 logico.

Passo 4

Scollegare l'alimentazione dal breadboard. Invertire ora i collegamenti d'ingresso e di uscita della porta di trasmissione, cosicchè il clock e l'indicatore a LED N° 1 sono ora collegati al terminale 2, mentre l'indicatore a LED N° 2 è collegato al terminale 1 del 4016. Ripetere i Passi 2 e 3. Notate alcuna differenza?

Non ci sarà nessuna differenza! Quindi non fa differenza quale sia l'ingresso o l'uscita di una porta di trasmissione, poichè essi sono intercambiabili. Un altro nome per la porta di trasmissione è *interruttore bilaterale*, che può essere usato per commutare segnali sia analogici che

digitali. Quando l'ingresso CONTROL è ad 1 logico, l'interruttore non è un vero corto circuito, ma piuttosto una resistenza "on" finita. Per la porta di trasmissione 4016, questa resistenza è tipicamente 300 Ω tra ingresso ed uscita.

ESPERIMENTO 2

Scopo

Questo esperimento dimostra come una porta di trasmissione possa essere collegata per simulare un interruttore di tipo spdt (single-pole-double-throw).

Configurazioni dei terminali dei circuiti integrati (Fig. 4-19)

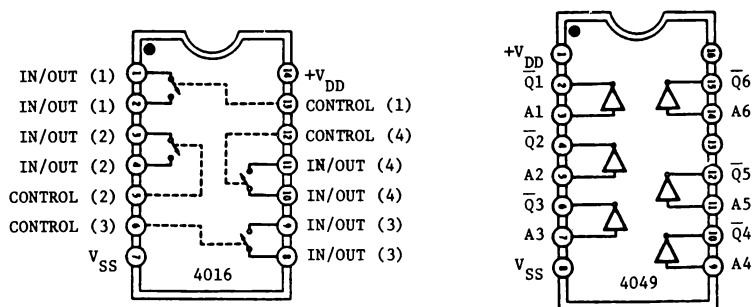



Fig. 4-19.

Schema del circuito (Fig. 4-20)

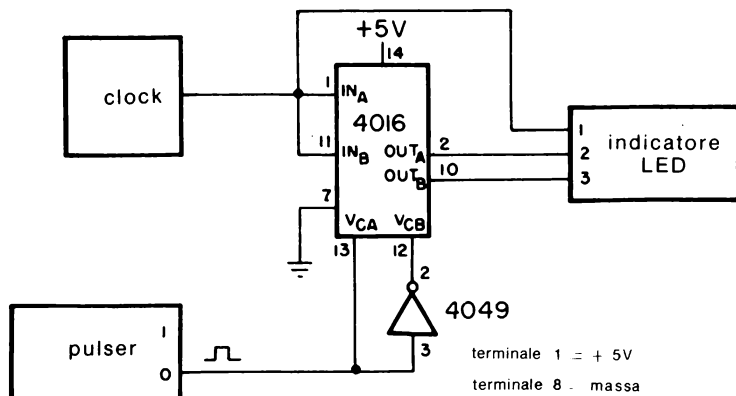



Fig. 4-20.

Passo 1

Collegare il circuito come mostrato nello schema. Anche se non è specificatamente mostrato nello schema, assicurarsi che i terminali V_{DD} del 4016 (terminale 14) e del 4049 (terminale 1) siano connessi alla tensione positiva di alimentazione e che i piedini V_{SS} (terminale 7 del 4016 e terminale 8 del 4049) siano connessi a massa. Poichè tutti gli ingressi non usati devono essere vincolati, collegare a terra i terminali 5, 7, 9, 11 e 14 dell'invertitore sestuplo 4049 e i terminali 3, 5, 6 e 8 del 4016.

Passo 2

Dare tensione al breadboard e regolare la frequenza di uscita del clock cosicchè l'indicatore a LED N° 1 lampeggi circa una volta al secondo. Che cosa succede agli indicatori a LED N° 2 e N° 3?

Si osserverà che l'indicatore a LED N° 2 lampeggerà esattamente come l'indicatore a LED N° 1, mentre l'indicatore a LED N° 3 è spento.

Passo 3

Premere sul pulser. Che differenza si noterà riguardo agli indicatori a LED?

Si osserverà che l'indicatore a LED N° 3 lampeggerà esattamente al passo con l'indicatore a LED N° 1, mentre l'indicatore a LED N° 2 è spento. Rilasciare il pulser. Quali cambiamenti si vedranno?

Come al passo 2, l'indicatore a LED N° 2 lampeggia al passo con l'indicatore a LED N° 1, mentre l'indicatore N° 3 è spento. In funzione dell'uscita del pulser, si può commutare il segnale d'ingresso su uno dei due terminali di uscita, che è esattamente il funzionamento di un interruttore *meccanico* spdt.

ESPERIMENTO 3

Scopo

Questo esperimento mostra il funzionamento del multiplexer/demultiplexer 4051.

Configurazione dei terminali del circuito integrato (Fig. 4-21)

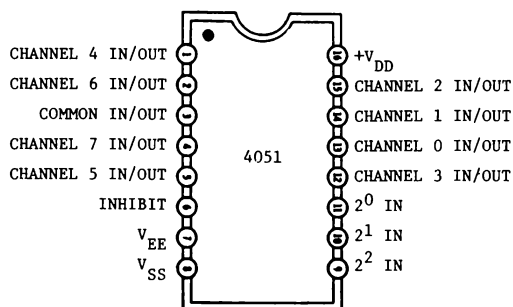



Fig. 4-21.

Schema del circuito (Fig. 4-22)

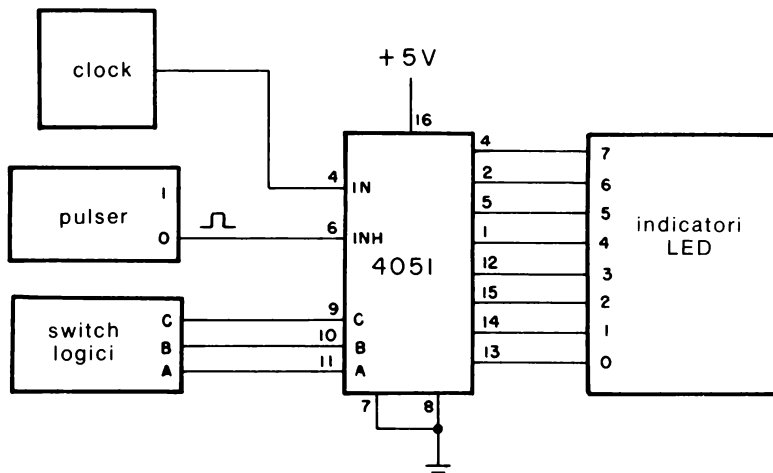



Fig. 4-22.

Passo 1

Collegare il circuito come mostrato nello schema e dare tensione al breadboard. Posizionare i tre interruttori logici a 0 logico. Quale indicatore a LED sarà stato predisposto a lampeggiare in corrispondenza dell'ingresso di clock?

L'indicatore a LED 0 lampeggerà, poichè il codice a 3 bit è posizionato a CBA = 000 che corrisponde al numero decimale 0.

Passo 2

Cambiare i posizionamenti degli interruttori logici secondo la Tabella 4-2.

Tabella 4-2. Posizionamento degli interruttori logici che determina il canale di uscita che viene visualizzato.

Posizionamento degli switch logici C B A	Canale di uscita lampeggiante
0 0 0	0
1 1 0	
0 1 0	
1 0 1	
0 1 1	
1 1 1	
1 0 0	
0 0 1	

Si vedrà che il lampeggio dell'indicatore a LED corrisponderà all'equivalente decimale del codice a 3 bit posizionato dagli interruttori logici. Di conseguenza, il 4051 permette di trasmettere il dato in ingresso ad uno degli 8 canali di uscita, chiamato comunemente *demultiplexer ad 8 canali.*

Passo 3

A questo punto, l'indicatore a LED N° 1 dovrebbe lampeggiare. Premere ora il pulser che è collegato al terminale 6 del 4051. Che cosa succede?

L'indicatore a LED N° 1 cessa di lampeggiare. Rilasciare ora il pulser. Che cosa succede?

L'indicatore a LED lampeggia come prima. Quando il piedino INHIBIT è ad 1 logico, il dato d'ingresso non è più trasmesso sul canale di uscita selezionato dagli interruttori logici.

Passo 4

Un *multiplexer* realizza la funzione opposta di un demultiplexer, per cui si può selezionare un ingresso e trasmettere il dato ad un solo canale d'uscita. Usando il 4051, determinare ora come collegarlo perchè funzioni come un multiplexer ad 8 canali. Descrivere inoltre come si possa automaticamente mettere in sequenza tutti gli otto canali d'ingresso.

CAPITOLO 5

Multivibratori astabili e monostabili

INTRODUZIONE ED OBIETTIVI

I multivibratori costituiscono principalmente il "cuore pulsante" per la maggior parte dei circuiti digitali.

In questo capitolo vengono considerati alcuni circuiti utili che permettono di ottenere il funzionamento come monostabile, astabile e come oscillatore con frequenza controllata in tensione. Inoltre ci saranno circuiti che utilizzano elementi logici standard come pure dispositivi monolitici speciali adatti allo scopo. Al termine di questo capitolo si sarà in grado di fare quanto segue:

- Costruire circuiti monostabili e astabili usando elementi logici standard quali invertitori, porte NOR e porte NAND.
- Costruire circuiti monostabili usando i seguenti dispositivi:
  - multivibratore monostabile/astabile 4047
  - doppio multivibratore monostabile 4098
  - doppio multivibratore monostabile 74C221
  - temporizzatore 555
- Costruire circuiti astabili usando i seguenti dispositivi:
  - doppia coppia complementare più invertitore 4007
  - multivibratore monostabile/astabile 4047
  - temporizzatore 555
- Costruire circuiti astabili con ciclo utile variabile usando i seguenti dispositivi:
  - invertitore sestuplo 4049
  - temporizzatore 555

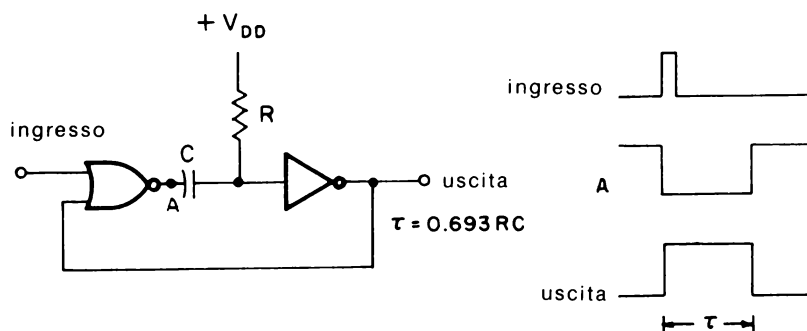
MULTIVIBRATORI MONOSTABILI DISCRETI

In questo paragrafo vengono brevemente trattati vari circuiti che utilizzano porte logiche e che hanno ritardi di tempo di precisione accettabile. Come mostra la Fig. 5-1, con una porta NOR a 2 ingressi, come il 4001 o il 74C02, e un invertitore si può realizzare un semplice circuito avente una sola costante di tempo.

Con un impulso positivo di innesco (trigger), l'impulso di uscita dall'invertitore sarà pure positivo per un intervallo di tempo specifico (in secondi) in modo che

$$\tau = -RC\left[ln\left(1 - \frac{V_{TR}}{V_{DD}}\right)\right] \qquad \text{(Eq. 5-1)}$$

dove V_{TR} è la soglia della tensione di trasferimento alla quale l'invertitore commuta da un livello logico all'altro. V_{TR} è idealmente metà della tensione di alimentazione V_{DD}, in modo che l'Equazione 5-1 si semplifica in

$$\tau = 0.693(RC) \text{ second} \qquad \text{(Eq. 5-2)}$$

(A) Circuito fondamentale.

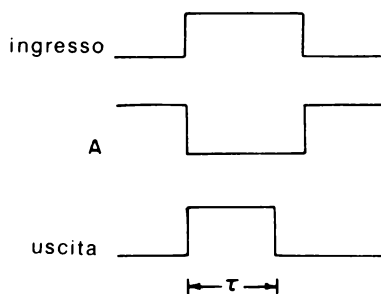
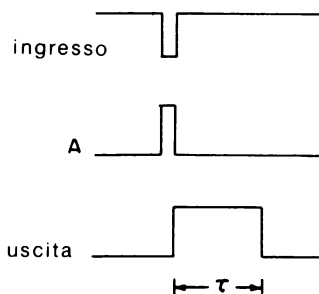
(B) Innesco positivo.

(C) Durata dell'impulso di innesco positivo maggiore della durata dell'impulso di uscita.

(D) Innesco negativo.

Fig. 5-1. Multivibratore monostabile utilizzante una porta NOR a 2 ingressi.

(A) Circuito fondamentale.

(B) Innesco negativo.

(C) Durata dell'impulso di innesco negativo maggiore della durata dell'impulso di uscita.

(D) Innesco positivo.

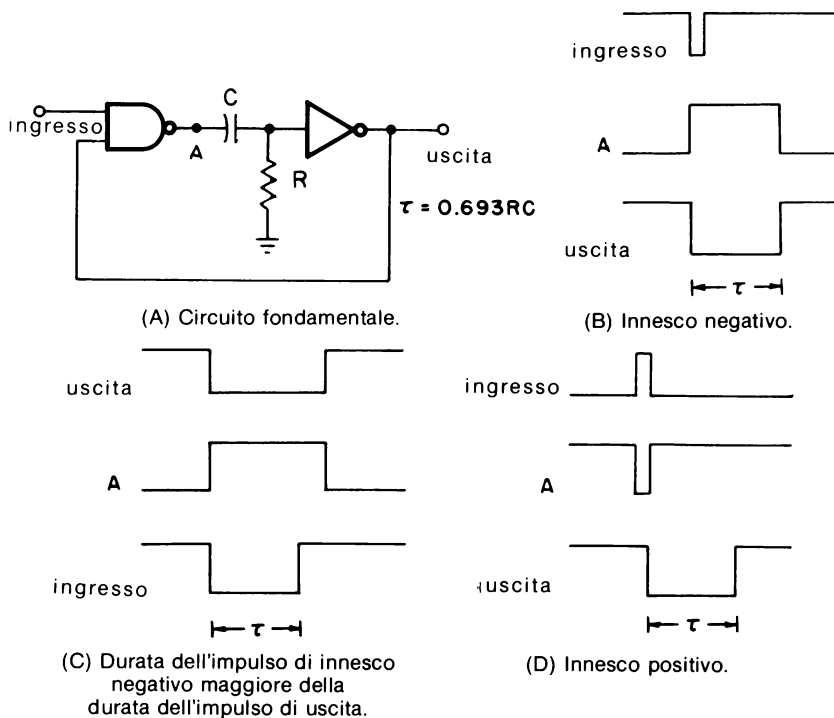



Fig. 5-2. Multivibratore monostabile utilizzante una porta NAND a 2 ingressi.

Tuttavia, la soglia di trasferimento può variare dal 30% al 70% di V_{DD} (variazione del ±40%) per differenti unità. Questa possibile dispersione, a sua volta, fa variare la durata dell'impulso di uscita dal —48% al +74% del suo valore ideale. Come viene rappresentato nel diagramma di temporizzazione di Fig. 5-1B, il circuito risponde al "*fronte di salita positivo*" dell'impulso di innesco all'ingresso. Se la durata di quest'ultimo è più breve dell'impulso di uscita, l'uscita della porta NOR è il complemento dell'uscita dell'invertitore. Se la durata dell'impulso all'ingresso è "*più lunga*" dell'uscita (Fig. 5-1C), l'uscita dell'invertitore è un impulso positivo di durata pari a quella dell'Equazione 5-1 o 5-2, ma l'uscita della porta NOR è ora il complemento dell'impulso d'innesco.

La Fig. 5-1D illustra il diagramma di temporizzazione per un impulso d'innesco negativo. Si osservi che il periodo di temporizzazione del monostabile non inizia finchè non compare il "*fronte di discesa*" dell'impulso d'innesco. Per questo monostabile con porta NOR, l'uscita di quest'ultima è il complemento dell'impulso di innesco negativo.

Si può usare una porta NAND a 2 ingressi, come il 4011 o il 74C00, per realizzare un circuito monostabile (Fig. 5-2), che viene principalmente usato per impulsi di innesco negativo. L'invertitore di Fig. 5-1 e 5-2 è

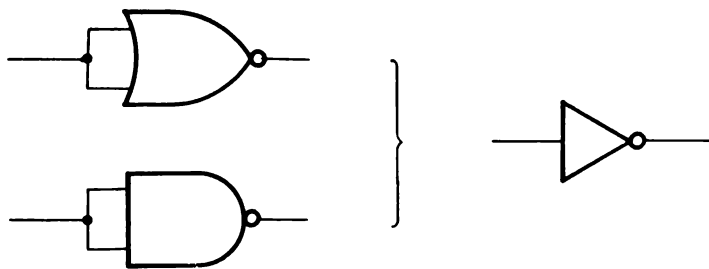



Fig. 5-3. Porte NOR e NAND usate come invertitori.

l'equivalente di una porta NOR o NAND con ambedue gli ingressi collegati insieme come in Fig. 5-3. Di conseguenza, l'invertitore di Fig. 5-1 viene convenientemente sostituito con un'altra porta NOR, mentre il circuito di Fig. 5-2 userà una seconda porta NAND al posto del suddetto invertitore.

IL MONOSTABILE 4047

Invece di realizzare circuiti monostabili discreti dove la durata dell'impulso di uscita può essere imprevedibile, può essere più utile considerare uno dei diversi dispositivi monolitici esistenti, come valida alternativa. Uno di questi è il 4047, la cui configurazione dei terminali è rappresentata in Fig. 5-4. Il monostabile 4047 possiede un grado di precisione e stabilità maggiori dei circuiti monostabili discreti, oltre a una dissipazione di potenza più bassa.

L'innesco con fronte positivo viene effettuato con il circuito di Fig. 5-5 mentre quello con fronte negativo mediante il circuito di Fig. 5-6. In entrambi i casi, la durata dell'impulso d'innesco minimo è tipicamente 500 ns per una tensione di alimentazione di 5 V, 200 ns per una tensione di 10 V e 140 ns per 15 V.

Se innescato, la durata dell'impulso per le uscite complementari Q e $\overline{Q}$ è data da

$$\tau = 2.48(RC) \text{ secondi} \qquad \text{(Eq. 5-3)}$$

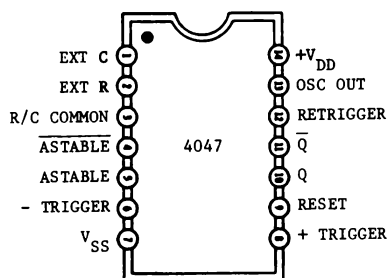



Fig. 5-4. Configurazione dei terminali del multivibratore 4047.

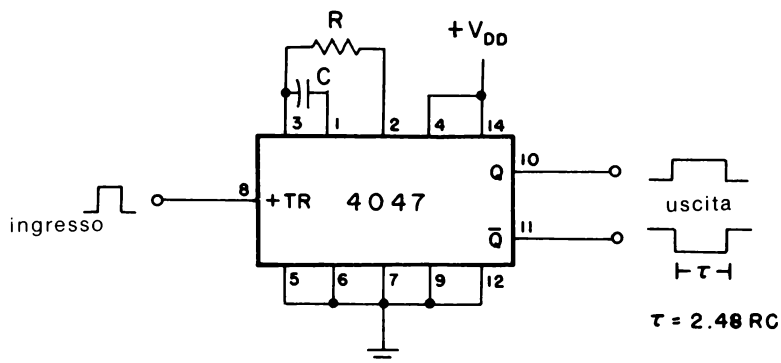



Fig. 5-5. Monostabile 4047 collegato per trigger positivo.

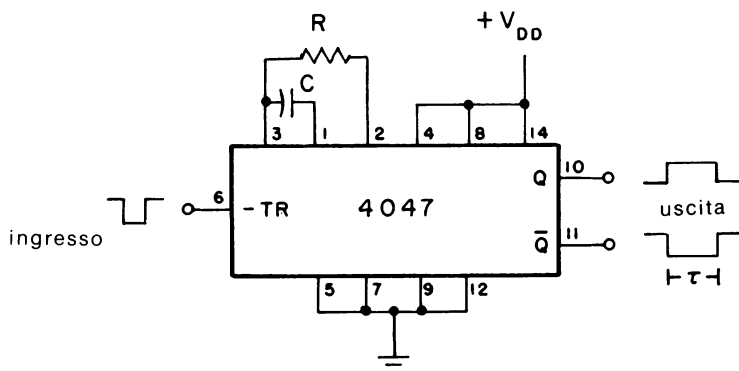



Fig. 5-6. Monostabile 4047 collegato per trigger negativo.

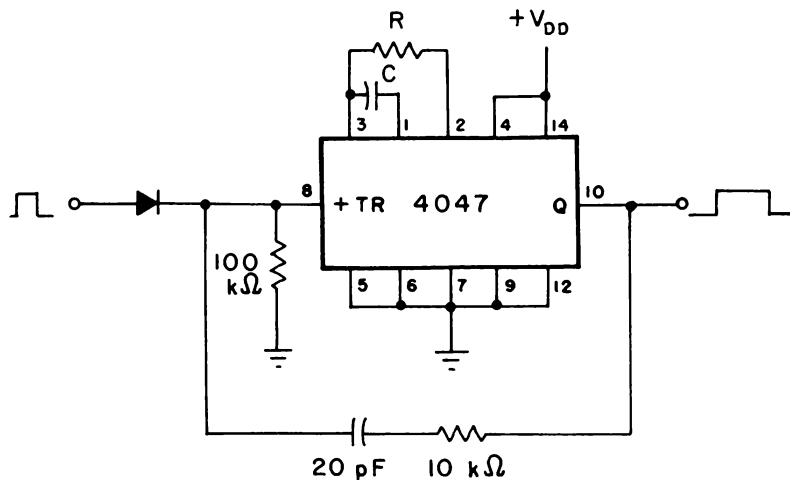



Fig. 5-7. Circuito per allungare l'impulso d'ingresso.

Comunque, per un funzionamento affidabile, la resistenza di temporizzazione deve essere compresa tra 10 kΩ e 1 MΩ, mentre la capacità relativa può avere qualunque valore maggiore di 0,001 μF. Di conseguenza la durata dell'impulso di uscita può essere anche di 25 μs.

In qualche caso, gli impulsi d'ingresso più brevi del minimo richiesto per l'innesco (es. transistori di rumore) possono provocare funzionamento anomalo. Il circuito di Fig. 5-7 evita questa eventualità "estendendo" in pratica l'impulso d'ingresso mediante la rete di reazione 20 pF - 10 kΩ.

IL MONOSTABILE TEMPORIZZATORE 555

Dalla sua introduzione, il circuito integrato temporizzatore 555 è stato uno dei circuiti più diffusi e versatili in uso. Sebbene compatibile con circuiti CMOS, il temporizzatore 555 non è tuttavia adatto ad equipaggiamenti alimentati con batteria a causa del suo alto consumo di corrente. Comunque, sono apparsi recentemente alcuni tipi, equivalenti come configurazione dei terminali, a basso consumo.

Uno di questi è il temporizzatore CMOS ICM7555 (Intersil), la cui configurazione dei terminali è illustrata in Fig. 5-8. Questo dispositivo CMOS ha un valore di corrente di alimentazione di 80 μA tipici, meno del 5% di quello richiesto dal temporizzatore bipolare standard 555. Inoltre, la tensione di alimentazione può variare da 2 a 18 V.

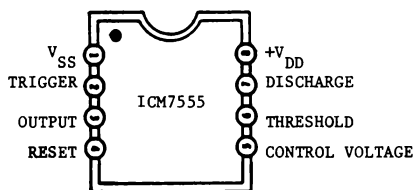



Fig. 5-8. Configurazione dei terminali del temporizzatore ICM7555.

Quando viene collegato per il funzionamento monostabile, vedi Fig. 5-9, il temporizzatore viene innescato da un impulso negativo. secondo la scelta della resistenza e della capacità di temporizzazione esterne, l'uscita del terminale 3 sarà positiva per un periodo di tempo (in secondi) di

$$\tau = 1.1(RC) \text{ secondi} \qquad \text{(Eq. 5-4)}$$

Per un funzionamento affidabile, la resistenza dovrebbe essere di valore compreso tra 1 kΩ e 10 MΩ, mentre la capacità può essere un qualsiasi valore maggiore di 0,001 μF.

Una volta innescata, l'uscita rimarrà al livello logico 1 finchè non sia trascorso il tempo previsto, anche se viene di nuovo innescata, durante

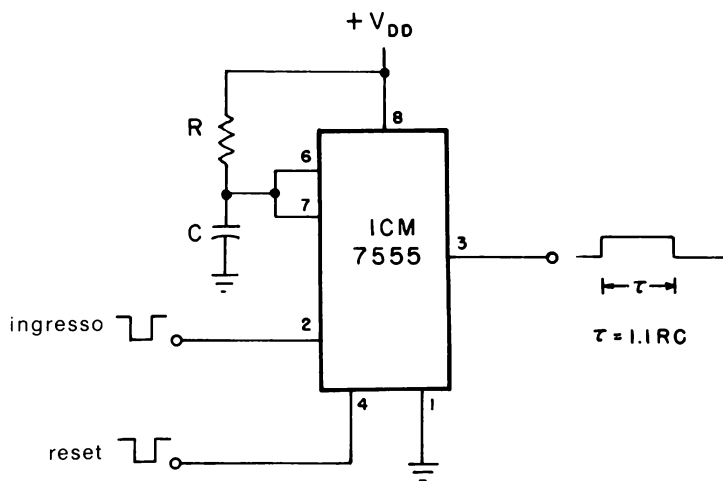



Fig. 5-9. Circuito monostabile ICM7555.

questo intervallo. Se, d'altra parte, si applica un impulso negativo al terminale 4 di reset durante il ciclo di temporizzazione, questo viene bloccato a l'uscita ritorna allo 0 logico. L'uscita dell'ICM7555 può fornire fino a 100 mA e perciò può alimentare, sia allo stato alto che a quello basso, carichi TTL o CMOS. Il temporizzatore XR-L555 (EXAR) è un'altra versione, a basso consumo, attualmente disponibile. Si possono trovare note e applicazioni del temporizzatore 555 più particolareggiate nel libro "Il Timer 555, funzionamento, applicazioni ed esperimenti" pubblicato nella versione italiana dalla Jackson Editrice.

ALTRI DISPOSITIVI MONOLITICI

Oltre al 555 e al 4047, ci sono altri due dispositivi monolitici previsti essenzialmente per funzionamento come monostabile. Uno è il 4098 (RCA), oppure l'equivalente MC14528 (Motorola) e l'altro è il 74C221 (National Semiconductor). Ambedue i dispositivi sono "*doppi*" multivibratori monostabili contenuti nella stessa custodia e sono identici come funzione al TTL-74123.

Come mostrato in Fig. 5-10, il 4098 (o MC14528) ha ambedue gli ingressi di innesco con fronte positivo (+TR) e con fronte negativo (-TR), oltre alle uscite complementari Q e $\overline{Q}$. La Fig. 5-11 mostra i collegamenti necessari per un innesco positivo di entrambi i monostabili. Una volta innescati, la durata dell'impulso d'uscita è data da

$$\tau = 0.5(RC) \text{ secondi} \qquad \text{(Eq. 5-5)}$$

per una capacità di temporizzazione compresa nel campo 0,01÷100 μF.

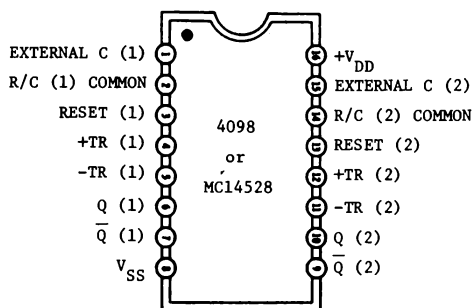



Fig. 5-10. Configurazione dei terminali del multivibratore monostabile doppio 4098 o MC14528.

Il valore della resistenza esterna viene consigliato a 5 kΩ. Anche se il circuito viene reinnescato ripetutamente durante il suo ciclo, questo si completerà come se fosse stato innescato da un solo impulso. Tuttavia, se si applica un'impulso negativo al terminale RESET, il ciclo di temporizzazione viene subito sospeso. Se non si utilizza questa funzione, il terminale deve essere collegato a V_{DD}. Se, d'altra parte, non si utilizza un intero blocco per un'applicazione particolare, i terminali RESET e +TR vengono collegati a V_{SS}, mentre l'ingresso —TR è connesso a V_{DD}. La Fig. 5-12 indica i collegamenti richiesti per innescare il 4098 con una serie di impulsi con fronte positivo. In tal modo, L'equazione 5-5 determina la durata dell'impulso di uscita "*dopo*" che viene riconosciuto l'ultimo fronte d'innesco.

I collegamenti relativi per l'innesco con fronte negativo sono illustrati, nelle Fig. 5-13 e 5-14. Tenendo conto dei valori estremi permessi per i componenti esterni, la Tabella 5-1 riassume i valori tipici delle durate minime permesse dagli impulsi all'ingresso di innesco e di reset per il 4098.

Il 74C221, diversamente dal 4098, è un equivalente CMOS, esatto, come configurazione dei terminali, del doppio monostabile TTL 74123.

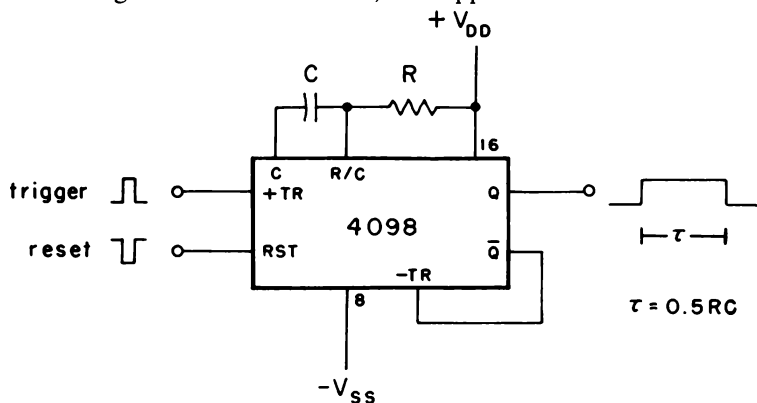



Fig. 5-11. Monostabile con trigger positivo non più reinnescabile con 4098.

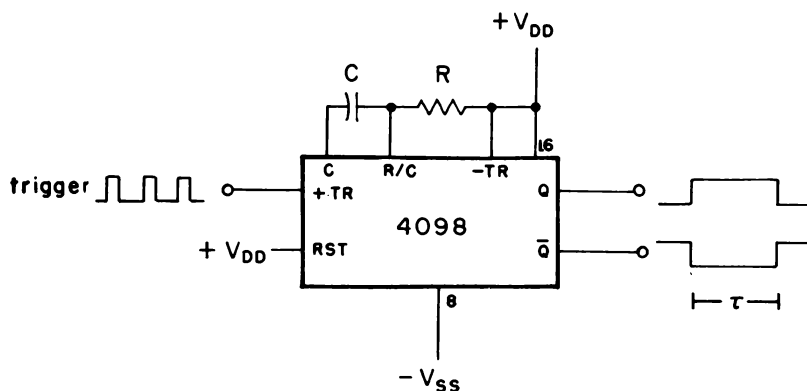



Fig. 5-12. Monostabile con trigger positivo reinnescabile con 4098.

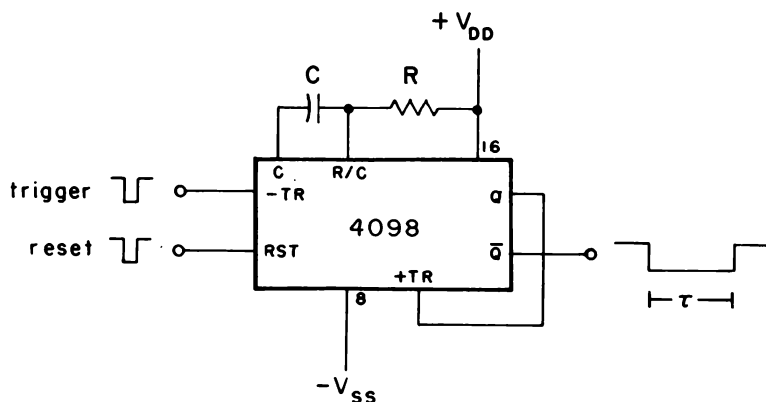



Fig. 5-13. Monostabile con trigger negativo non più reinnescabile con 4098.

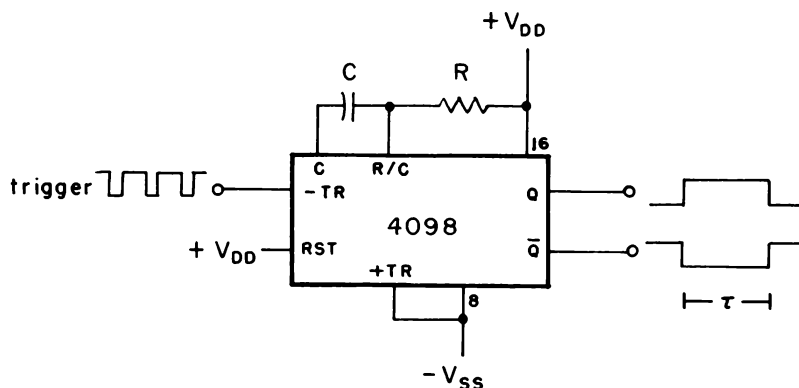



Fig. 5-14. Monostabile con trigger negativo reinnescabile con 4098.

Tabella 5-1. Durate del minimo impulso di trigger utilizzabile (tipico) e dell'impulso di reset.

Tensione di alimentazione	Trigger	Reset
5 V	70 ns	25 μs
10 V	30 ns	15 μs
15 V	20 ns	10 μs

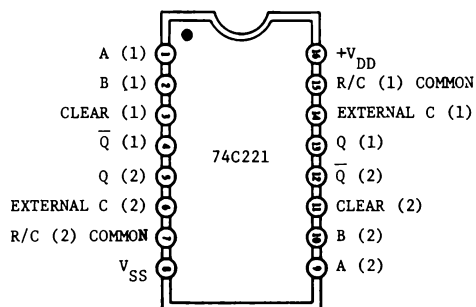



Fig. 5-15. Configurazione dei terminali del monostabile doppio reinnescabile con 74C221.

come si può notare dalla Fig. 5-15. Comunque, le equazioni della durata d'impulso non sono le stesse. Per il 74C221, la durata dell'impulso di uscita è data da

$$\tau = 0.994(RC) \text{ secondi} \qquad \text{(Eq. 5-6)}$$

che viene spesso approssimata a $\tau = RC$ per tutti gli scopi pratici.

MULTIVIBRATORI ASTABILI DISCRETI

Come si nota dalla Fig. 5-16, uno dei tipi più semplici di multivibratore astabile utilizza due invertitore, quali il 4049 o 74C04, con una sola costante di tempo. Per questo circuito, la frequenza di uscita dipende dalla soglia della tensione di trasferimento V_{TR}, cioè

$$f = \frac{1}{T}$$

$$= \frac{1}{t_1 + t_2} \qquad \text{(Eq. 5-7A)}$$

dove

$$t_1 = -RC\ ln\left(1 - \frac{V_{TR}}{V_{DD}}\right) \qquad \text{(Eq. 5-7B)}$$

e

$$t_2 = -RC\ ln\left(\frac{V_{TR}}{V_{DD}}\right) \qquad \text{(Eq. 5-7C)}$$

Il periodo di tempo durante il quale l'uscita è alta è t_1, mentre t_2 è il tempo per il quale l'uscita è bassa. Combinando le equazioni 5-7B e 5-7C, il periodo di oscillazione viene quindi scritto come

$$T = -RC\ ln\left[\left(1 - \frac{V_{TR}}{V_{DD}}\right)\left(\frac{V_{TR}}{V_{DD}}\right)\right] \qquad \text{(Eq. 5-8)}$$

Dato che V_{TR} è idealmente un mezzo della tensione di alimentazione, t_1 è uguale a t_2, vale a dire un ciclo utile del 50%. Inoltre, l'equazione 5-7A sostituita con l'equazione 5-8 porta idealmente a

$$f = \frac{0.721}{RC}\ Hz \qquad \text{(Eq. 5-9)}$$

Poichè la tecnologia CMOS utilizza ora tipicamente tre diodi (Fig. 5-17) per proteggere i "gate" MOS d'ingresso da guasti, la frequenza di uscita del circuito di Fig. 5-16 è sensibile alle variazioni della tensione di

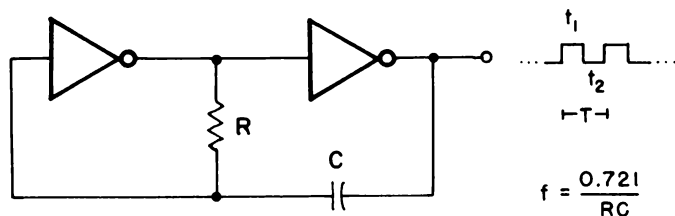



Fig. 5-16. Multivibratore astabile con CMOS.

alimentazione. Un modo efficace per ridurre questa sensibilità è quello di aggiungere una seconda resistenza R_S come in Fig. 5-18. Normalmente R_S è da 2 a 10 volte il valore di R, in modo da non aver alcun effetto sulla frequenza di uscita, data da

$$f = \frac{1}{T} \qquad \text{(Eq. 5-10A)}$$

dove

$$T = -RC\ ln\left[\left(\frac{V_{TR}}{V_{DD} + V_{TR}}\right)\left(\frac{V_{DD} - V_{TR}}{2V_{DD} - V_{TR}}\right)\right] \qquad \text{(Eq. 5-10B)}$$

Supponendo ancora che $V_{TR} = 0{,}5\ V_{DD}$, l'equazione 5-10 A si semplifica in

$$f = \frac{0.455}{RC} \qquad \text{(Eq. 5-11)}$$

La resistenza di temporizzazione R è ristretta al campo 5 kΩ - 1 MΩ, mentre C può essere un qualsiasi valore maggiore di 100 pF per un funzionamento affidabile. La Fig. 5-19 illustra come si può usare il circuito di Fig. 5-18 con porte NOR oppure NAND.

Un circuito astabile ancora più semplice è l'astabile con singolo

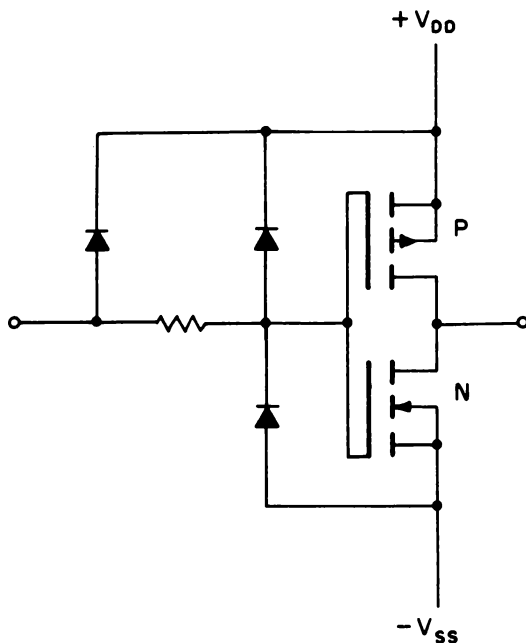



Fig. 5-17. Rete interna di protezione degli ingressi dei CMOS.

"trigger di Schmitt" a una sola costante di tempo, che è rappresentato in Fig. 5-20. La frequenza di uscita (in hertz) viene determinata dalla relazione di base

$$f = \frac{1}{RC\ ln\left[\frac{V_2(V_{DD} - V_1)}{V_1(V_{DD} - V_2)}\right]} \qquad \text{(Eq. 5-12)}$$

dove V_1 e V_2 sono rispettivamente le tensioni di soglia inferiore o superiore del trigger di Schmitt. Tuttavia queste soglie sono sensibili alle variazioni della tensione di alimentazione. La Tabella 5-2 illustra questa sensibilità paragonando alcuni trigger di Schmitt di diversi costruttori.

Persino per dispositivi che hanno lo stesso numero, come il trigger di Schmitt 40106, le tensioni di soglia sono diverse per diversi costruttori.

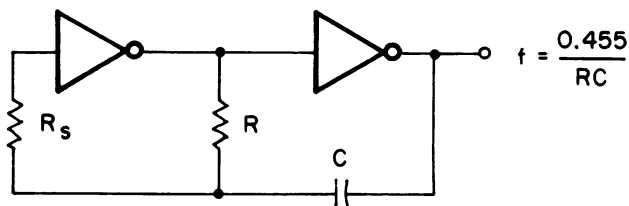



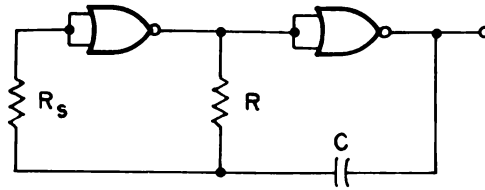
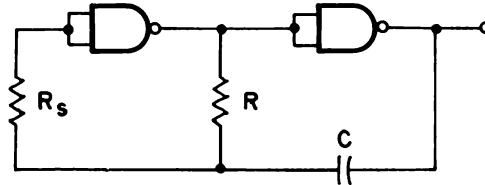
Fig. 5-18. Multivibratore astabile più affidabile.

(A) Utilizzazione di porte NOR.

(B) Utilizzazione di porte NAND.

Fig. 5-19. Altri semplici circuiti astabili.

La sensibilità di soglia può essere vista in modo chiaro riscrivendo l'equazione 5-12 nella forma generale:

$$f = \frac{K}{RC} \qquad \text{(Eq. 5-13)}$$

dove la costante K viene calcolata dai valori di Tabella 5-2 e condensati in Tabella 5-3.

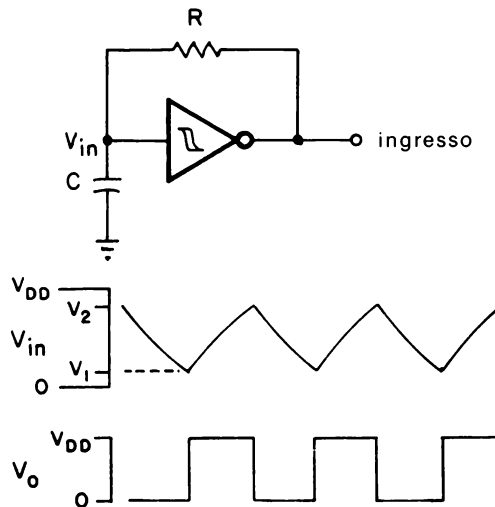



Fig. 5-20. Astabile con trigger di Schmitt.

Tabella 5-2. Tensioni di soglia del trigger di Schmitt CMOS.

Dispositivo e Costruttore	V_{DD}	V_1	V_2
74C14 (National Semiconductor)	5	1.4	3.6
	10	3.2	6.8
40106 (RCA)	5	1.9	2.9
	10	3.9	5.9
40106 (National Semiconductor)	5	1.4	3.6
	10	3.2	6.8
MC14584 (Motorola)	5	2.3	2.9
	10	3.9	5.9

Questi valori sono quelli tipici ricavati dai data sheet dei costruttori.

Tabella 5-3. Valori di K nell'Equazione 5-13.

Dispositivo e Costruttore	Tensione di alimentazione	
	5 V	10 V
74C14 (National Semiconductor)	0.529	0.663
40106 (RCA)	1.231	1.233
40106 (National Semiconductor)	0.529	0.663
MC14584 (Motorola)	2.070	1.233

IL CIRCUITO ASTABILE 4047

Come illustrato in Fig. 5-21, il 4047 è collegato come multivibratore astabile con due frequenze di uscita. Quando l'uscita viene prelevata dal terminale OSC OUTPUT (terminale 13), la frequenza nominale di uscita in hertz viene determinata dall'equazione

$$f = \frac{1}{2.2RC} \qquad \text{(Eq. 5-14)}$$

Comunque, la forma d'onda di uscita al terminale 13 non avrà necessariamente un ciclo utile del 50%. D'altro canto, si può ottenere un'onda quadra simmetrica ai terminali 10 e 11, che sono uscite complementari.

Le uscite complementari hanno una frequenza che è un mezzo di quella al terminale 13. In questo caso la frequenza di uscita (in hertz) è data da

$$f = \frac{1}{4.4RC} \qquad \text{(Eq. 5-15)}$$

Per frequenze dell'oscillatore fino a circa 500 kHz sul terminale 13, la capacità esterna può essere qualsiasi valore maggiore di 100 pF e la resistenza dovrebbe essere compresa tra 10 kΩ e 1 MΩ.

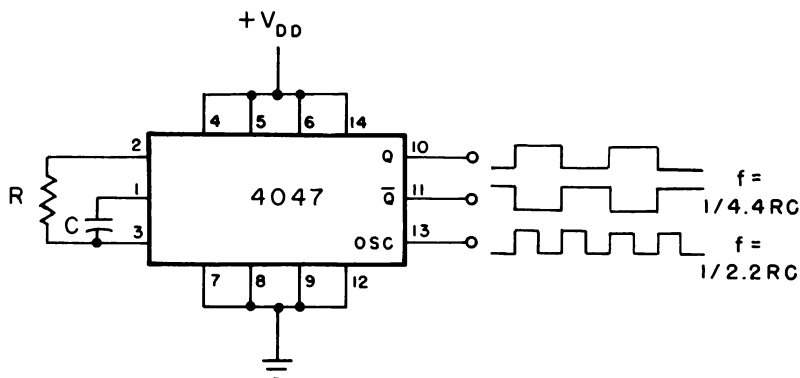



Fig. 5-21. Astabile con 4047 avente tre uscite.

IL TEMPORIZZATORE ASTABILE 555

Come il multivibratore monostabile, il temporizzatore astabile 555 è forse il tipo più popolare per i progettisti di circuiti. Il circuito relativo è in Fig. 5-22 e la frequenza di uscita vale

$$f = \frac{1.443}{(R_1 + 2R_2)C} \qquad \text{(Eq. 5-16)}$$

Il ciclo utile percentuale D dell'uscita è determinato dalle resistenze R_1 e R_2, cosicchè

$$D = \left(\frac{R_1 + R_2}{R_1 + 2R_2}\right) \times 100 \qquad \text{(Eq. 5-17)}$$

Pertanto, rendendo R_2 molto grande rispetto a R_1, il ciclo utile si avvicina al 50%. Il termine resistivo al denominatore delle equazioni 5-16 o 5-17 dovrebbe essere compreso tra 1 kΩ e 1 MΩ. Tuttavia, bisogna notare che queste due resistenze di temporizzazione non possono essere regolate per un dato ciclo utile senza influire sulla frequenza di uscita. Come si vedrà nel successivo paragrafo, si può variare il ciclo utile senza variazioni di frequenza significativa.

ASTABILE CON CICLO UTILE VARIABILE E FREQUENZA COSTANTE

In alcune applicazioni si desidera che la forma d'onda d'uscita da un multivibratore astabile abbia una simmetria richiesta. Questa situazione era stata accennata nel Capitolo precedente alla Fig. 4-14, dove il ciclo utile della forma d'onda era il fattore che controllava la frequenza di taglio di un filtro attivo.

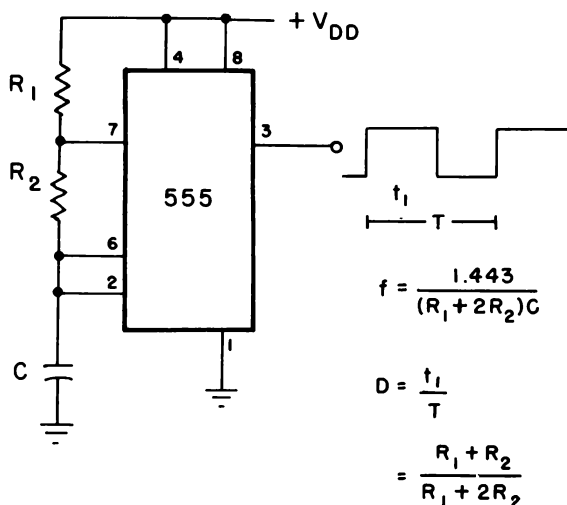



Fig. 5-22. Astabile col temporizzatore 555.

La Fig. 5-23 indica un circuito astabile con ciclo utile variabile per il quale la frequenza di uscita risulta praticamente costante.

La resistenza del potenziometro è la somma della resistenza R_A e R_B. La resistenza R_A più la resistenza diretta del diodo R_D (tipicamente alcune centinaia di Ω) determinano il periodo di tempo durante il quale l'uscita risulta alta (t_1); cosicchè in generale si ha

$$t_1 = -R_A'Cln\left(1 - \frac{V_{TR}}{V_{DD}}\right) \qquad \text{(Eq. 5-18)}$$

dove

$$R_A' = R_A + R_D$$

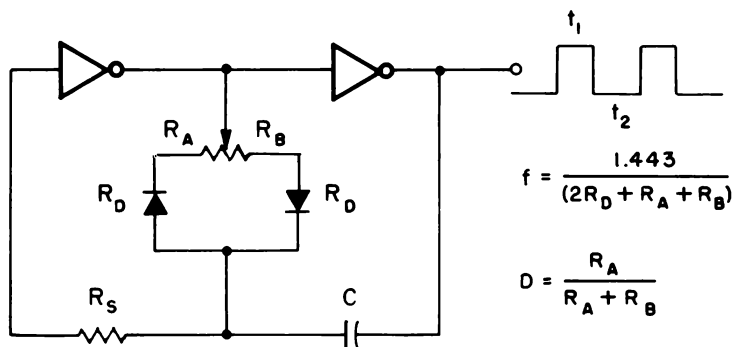



Fig. 5-23. Controllo del ciclo utile variabile a frequenza costante.

Il periodo di tempo t_2 durante il quale l'uscita è bassa è determinato da R_B e dal diodo,

$$t_2 = -R_B'C ln\left(\frac{V_{TR}}{V_{DD}}\right) \qquad \text{(Eq. 5-19)}$$

dove

$$R_B' = R_B + R_D$$

Entrambe le equazioni 5-18 e 5-19 possono quindi essere semplificate idealmente in

$$t_1 = 0.693[R_A + R_D]C \qquad \text{(Eq. 5-20)}$$

e

$$t_2 = 0.693[R_B + R_D]C \qquad \text{(Eq. 5-21)}$$

supponendo che V_{TR} sia pari a metà della tensione di alimentazione. Per tutti gli scopi pratici, il ciclo utile percentuale risultante può essere approssimato con la relazione

$$D = \left(\frac{t_1}{t_1 + t_2}\right) \times 100$$

$$= \left(\frac{R_A}{R_A + R_B}\right) \times 100 \qquad \text{(Eq. 5-22)}$$

se la resistenza del potenziometro ($R_A + R_B$) viene considerata molto grande se paragonata alla resistenza diretta dei diodi. Se R_A è minore di R_B, il ciclo utile sarà minore del 50%; se è maggiore diR_B, esso sarà maggiore del 50%.

La frequenza di uscita (in hertz) per un tale circuito è perciò derivata dalla combinazione delle equazioni 5-20 e 5-21 e vale

$$f = \frac{1}{t_1 + t_2}$$

$$= \frac{1.443}{(2R_D + R_A + R_B)C} \qquad \text{(Eq. 5-23)}$$

Come nel circuito di Fig. 5-18 R_S viene scelto da 2 a 10 volte il valore che determina la frequenza, che in questo caso è la resistenza del potenziometro.

Di conseguenza la sensibilità del circuito alle variazioni della tensione di alimentazione viene minimizzata.

Usando il temporizzatore 555, viene mostrato in Fig. 5-15 un altro modo per ottenere un ciclo utile variabile; esso fa uso di un paio di diodi e di un potenziometro. Poichè la caduta di tensione dei diodi diminuisce la tensione effettivamente applicata alla rete di temporizzazione RC, la frequenza di uscita sarà leggermente più alta di quella prevista dall'equa-

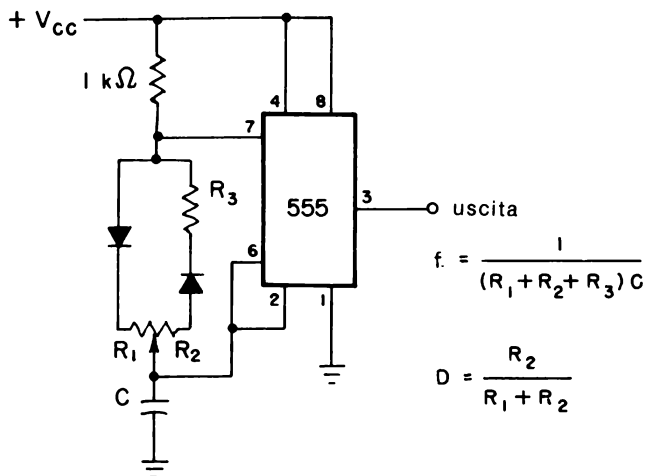



Fig. 5-24. Controllo del ciclo utile variabile del temporizzatore 555 a frequenza costante.

zione 5-16. In funzione dei componenti, la frequenza di uscita (in hertz) è data da

$$f = \frac{1}{(R_1 + R_2 + R_B)C} \qquad \text{(Eq. 5-24)}$$

mentre il ciclo utile (in percento) è dato dalla relazione

$$D = \frac{R_2}{R_1 + R_2} \times 100 \qquad \text{(Eq. 5-25)}$$

OSCILLATORI CONTROLLATI IN TENSIONE

Un altro tipo di multivibratore astabile è il VCO, od *oscillatore controllato in tensione* (voltage-controlled oscillator). Il VCO viene pure detto convertitore tensione-frequenza (V/F), in quanto la frequenza di uscita risulta proporzionale alla tensione di controllo al suo ingresso. Questo paragrafo tratta i circuiti che possono essere realizzati usando un 4007 o la "maglia ad aggancio di fase" su circuito monolitico CMOS 4046 (phase-locked loop).

Oltre al funzionamento come porta di trasmissione, il 4007 può anche essere collegato quale VCO, come dimostra il circuito di base di Fig. 5-25 che è una variante della Fig. 5-18.

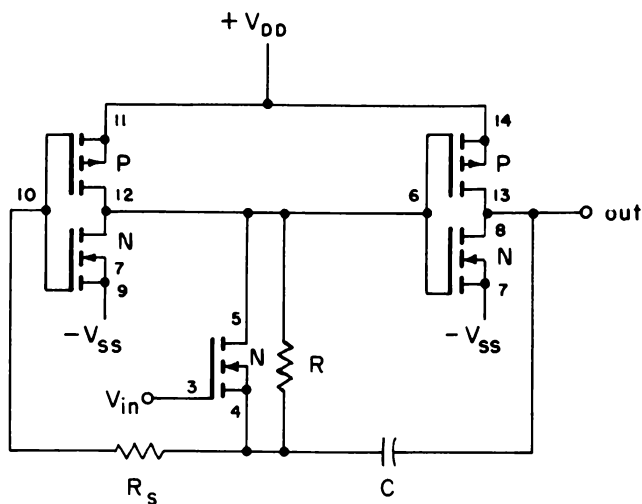
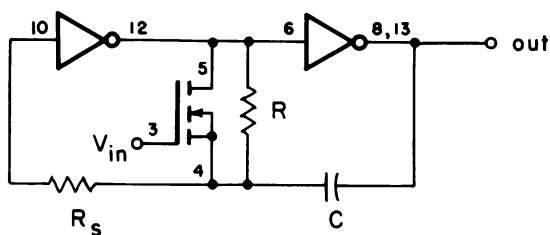
Allorquando la tensione di controllo all'ingresso supera circa 1 V la resistenza drain-source R_{DS} del transistor MOS a canale n varia inversamente con la tensione di controllo . La resistenza di temporizzazione dell'oscillatore è la combinazione parallela della resistenza drain-source e della resistenza esterna R.

(A) Circuito fondamentale.

(B) Circuito equivalente.

Fig. 5-25. Oscillatore controllato in tensione con il 4007.

Quando la tensione di controllo è nulla, il transistor MOS è interdetto (off), e R_{DS} vale circa 10^{12} Ω. All'altro estremo, R_{DS} vale approssimativamente 1 kΩ quando la tensione di controllo è uguale alla tensione di alimentazione. Come conseguenza, la combinazione parallela (Req) di R_{DS} ed R varierà dal valore R ad approssimativamente 1 kΩ, quando la tensione di controllo aumenta dal valore zero al valore uguale alla tensione di alimentazione. La frequenza di uscita è essenzialmente quella dell'equazione 5-11 e cioè

$$f = \frac{0.455}{R_{eq}C} \qquad \text{(Eq. 5-26)}$$

dove

$$R_{eq} = \frac{R_{DS}R}{R_{DS} + R}$$

La frequenza di uscita, perciò, sale al salire della tensione di controllo.

Una parte del circuito monolitico CMOS 4046 (maglia ad aggancio di fase) può essere collegata per funzionare solamente come VCO,* (Fig. 5-26). La frequenza di uscita (in hertz) viene determinata solo dalla equazione

$$f = \frac{1}{RC} \qquad \text{(Eq. 5-27)}$$

Quando la tensione di controllo è nulla, la frequenza di uscita è pure nulla; quando è uguale alla tensione di alimentazione, la frequenza è quella data dall'equazione 5-27. La resistenza di temporizzazione deve essere compresa fra 5 kΩ e 1 MΩ, mentre la capacità può essere qualunque valore superiore a 100 pF. La massima frequenza di uscita è tipicamente 1,5 MHz. Quando lo si usa come VCO, non sono richiesti i collegamenti al rivelatore di fase del 4046 e un filtro di maglia esterno. Le applicazioni con il 4046 sono illustrate nel Capitolo 8.

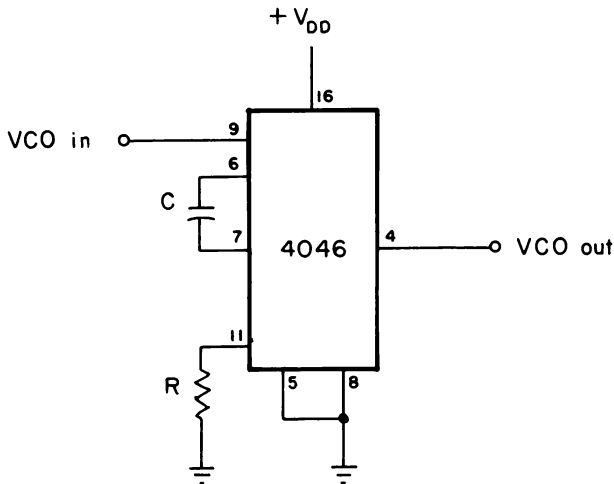



Fig. 5-26. Oscillatore controllato in tensione con il 4046.

INTRODUZIONE AGLI ESPERIMENTI

I seguenti esperimenti hanno la funzione di dimostrare il comportamento di dispositivi CMOS che possono essere collegati come multivi-

* ulteriori particolari riguardanti il dispositivo 4046 ed altri aspetti della maglia ad aggancio di fase si trovano nel libro *"Progettazione dei circuiti Phase-Locked Loop (PLL) con esperimenti", pubblicato nella versione italiana dalla Jackson Editrice 1978.*

bratori monostabili e astabili, come oscillatori controllati in tensione, e come astabili di frequenza fissa con ciclo utile variabile. Gli esperimenti da eseguire possono essere così riassunti:

Esperimento N°	*Scopo*
1	Dimostrare il funzionamento del multivibratore 4047 collegato come multivibratore monostabile, che può essere innescato con impulsi positivi oppure negativi
2	Dimostrare il funzionamento del temporizzatore 555 come multivibratore monostabile
3	Dimostrare il funzionamento di un multivibratore astabile che usa un trigger di Schmitt 40106 o 74C14 con una sola costante di tempo
4	Dimostrare il funzionamento del temporizzatore 555 come multivibratore astabile
5	Dimostrare come il temporizzatore 555 può essere collegato per realizzare un multivibratore astabile con ciclo utile variabile, la cui frequenza di uscita è relativamente costante.
6	Dimostrare il funzionamento del multivibratore 4047 connesso come multivibratore astabile.

ESPERIMENTO 1

Scopo

Questo esperimento dimostra il funzionamento del circuito integrato 4047 collegato come multivibratore monostabile, che può essere innescato da impulsi positivi o negativi.

Formule di progetto

Durata dell'impulso di uscita: $= 2{,}48\ (RC)$ secondi
per la gamma dei componenti: $10\ k\Omega \leqslant R \leqslant 1\ M\Omega$
$C \geqslant 0{,}001\ \mu F$

Passo 1

Collegare il circuito come indicato nello schema, usando come R una resistenza di 220 kΩ e come C un condensatore di 10 μF. Quindi alimentare la piastra.

Configurazione dei terminali del circuito integrato (Fig. 5-27)

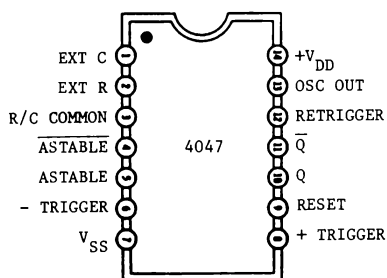



Fig. 5-27.

Schema del circuito (Fig. 5-28)

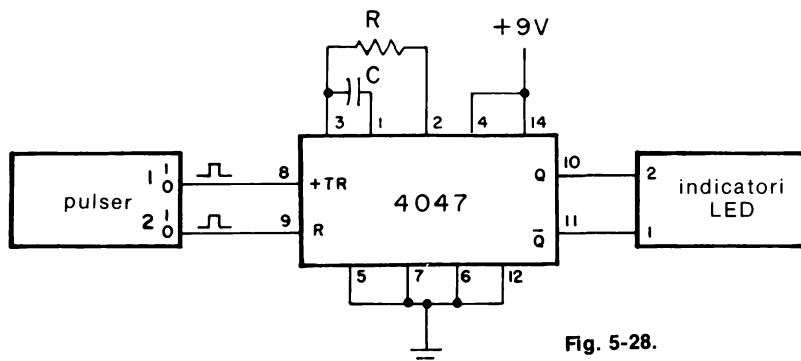



Fig. 5-28.

Passo 2

Usando un cronometro o un orologio da polso con la lancetta dei secondi, determinare per quanti secondi resta acceso il visualizzatore LED N° 2 quando il generatore di impulsi (pulser) N° 1 viene rapidamente premuto o rilasciato. Inizialmente si osserverà che il visualizzatore N° 1 è acceso mentre il N° 2 è spento. Quando si preme e si rilascia il pulser N° 1, il visualizzatore LED N° 1 si spegne subito mentre il numero 2 si illumina. Il multivibratore viene ora "*innescato*". Si osserverà che il LED N° 1 resterà acceso per circa 6 secondi.

Questo circuito viene innescato da impulsi positivi, dato che risponde a transizioni "*da negativo a positivo*" dell'impulso d'innesco. Per questa ragione, quest'ultimo viene collegato all'ingresso + TRIGGER (terminale 8) del 4047.

Passo 3

Scollegare l'alimentazione dalla piastra. Sostituire la resistenza di temporizzazione di 220 kΩ con una di 390 kΩ e quindi ricollegare l'alimentazione alla piastra.

Inoltre, pigiare e rilasciare velocemente il pulser N° 1 e determinare il tempo durante il quale il LED N° 2 resta acceso.

Trascorreranno circa 10 secondi. Confermare questo con l'equazione data nel paragrafo "Formule di progetto".

Passo 4

Di nuovo, pigiare e rilasciare il pulser N° 1. Quindi premere e rilasciare il pulser N° 2, collegato all'ingresso di RESET del 4047. Cosa avviene ai visualizzatori LED?

Quando il pulser N° 2 viene pigiato, il LED N° 2 si spegne e il N° 1 si accende. Quando l'ingresso RESET commuta dal livello logico 0 a 1, il ciclo viene fermato e l'uscita Q (LED N° 2) ritorna allo 0 logico (spento), mentre l'uscita $\overline{Q}$ ritorna al livello logico 1, dato che Q e $\overline{Q}$ sono "*uscite complementari*". Il ciclo di temporizzazione può essere bloccato in ogni istante portando l'ingresso RESET al livello logico 1.

Passo 5

Scollegare l'alimentazione dalla piastra. Collegare ora il terminale 8 alla tensione di alimentazione positiva V_{DD} e collegare il terminale 6 (l'ingresso - TRIGGER) all'uscita del pulser N° 1 che normalmente è a livello logico 1. Questo circuito sarà ora innescato da impulsi "*negativi*", perchè il circuito risponde solo alle transizioni "*da positivo a negativo*" dell'impulso d'innesco. Ora pigiare e rilasciare velocemente il pulser N° 1 e misurare il tempo durante il quale il LED N° 2 resta acceso.

Si verificherà che il LED N° 2 resta illuminato per circa 10 secondi, proprio come è stato determinato al Passo 3.

Passo 6

Ripetere il Passo 4. Il risultato è lo stesso di quello notato al Punto 4?

I due risultati sono gli stessi, dato che il multivibratore monostabile 4047 viene azzerato quando l'ingresso RESET è a livello logico 1, indipendentemente dall'innesco positivo o negativo.

ESPERIMENTO 2

Scopo

Questo esperimento dimostra il funzionamento del temporizzatore 555 come multivibratore monostabile.

Formule di progetto

Durata dell'impulso d'uscita: $\tau = 1,1$ (RC) secondi

Passo 1

Collegare il circuito come indicato nello schema, utilizzando una resistenza R di 100 kΩ e un condensatore elettrolitico C di 10 μF. Se si usano elettrolitici, fare attenzione alla polarità! Un interruttore a pulsante, normalmente aperto, viene connesso dal terminale 2 del temporizzatore a terra; si può usare in sua vece un generatore d'impulsi (interruttore senza rimbalzi di contatto come in Fig. 2-6).

Passo 2

Con un cronometro o un orologio da polso con la lancetta dei secondi, determinare per quanti secondi resta acceso il visualizzatore LED

Configurazione dei terminali del circuito integrato (Fig. 5-29)

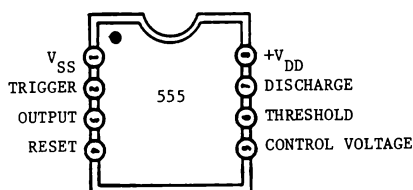



Fig. 5-29.

Schema del circuito (Fig. 5-30)

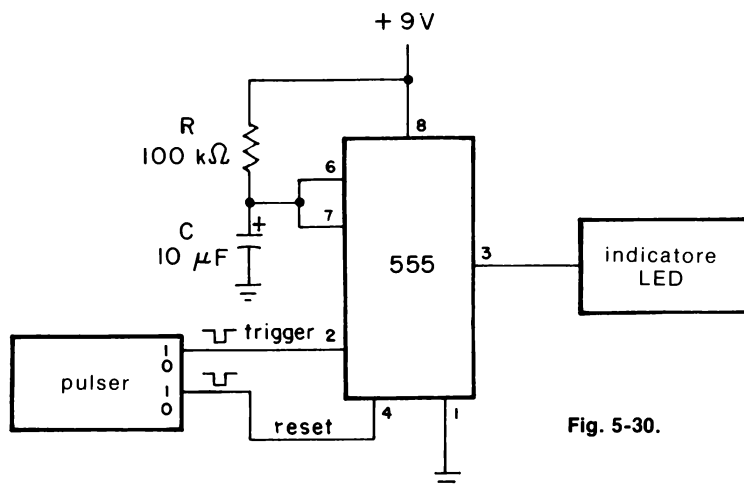



Fig. 5-30.

Resistore di temporizzazione R	Condensatore di temporizzatore C	Durata d'impulso misurata
100 kΩ	10 μF	
100 kΩ	100 μF	
1 MΩ	5 μF	
330 kΩ	10 μF	
330 kΩ	100 μF	
10 MΩ	1 μF	
620 kΩ	5 μF	
10 MΩ	5 μF	

quando il pulser o il pulsante viene rapidamente pigiato e rilasciato. Poi, usando le varie combinazioni di resistenze e di capacità sottoelencate, determinare la durata dell'impulso di uscita (cioè il tempo di accensione del LED). Scrivere le risposte qui sotto e paragonarle con i valori calcolati.

I risultati ottenuti dovrebbero concordare, a meno del 10%, con il valore ottenuto matematicamente. Se ciò non si verifica, può darsi che il condensatore abbia una forte corrente di dispersione che ne rallenta la carica, aumentandone di conseguenza il tempo. Quindi è importante cercare di usare come condensatori di temporizzazione dei condensatori in Mylar oppure elettrolitici del tipo al tantalio, se si usano valori maggiori di 1 μF, piuttosto che i tipi comunemente disponibili in alluminio.

Passo 3

Usare una resistenza R di 330 kΩ e un condensatore C di 10 μF. Tenere pigiato per circa 5 secondi il pulser mentre si osserva il visualizzatore LED. Si noterà che il LED rimane acceso finchè non si rilascia il pulser o che rimane acceso per circa 3,6 secondi dopo aver disattivato il pulser stesso. La ragione di questo è che la durata dell'impulso di innesco è superiore a quella dell'impulso di uscita. Di conseguenza, l'impulso negativo di innesco deve essere tenuto breve rispetto alla durata dell'impulso di uscita voluto.

Passo 4

Sostituire la resistenza R con una del valore di 1 MΩ. Come già al Passo 2, azionare e rilasciare velocemente il pulser collegato all'ingresso TRIGGER (terminale 2) del 555.

Il LED dovrebbe rimanere acceso per circa 11 secondi. Ripetere la medesima operazione con il pulser e fare la stessa cosa con il pulser collegato al terminale RESET del temporizzatore (terminale 4). Si noterà che il LED si spegne immediatamente. Da ciò dovrebbe essere chiaro che l'azzeramento interdice il temporizzatore quando il terminale 4 si porta dallo stato logico 1 a 0, il che spinge l'uscita a ritornare allo 0 logico.

Di conseguenza, questo temporizzatore monostabile può esser azzerato in qualsiasi istante durante il suo ciclo di temporizzazione portando a massa il terminale RESET del 555. Per innescarlo di nuovo, il terminale 4 deve essere a livello logico 1.

ESPERIMENTO 3

Scopo

Questo esperimento dimostra il funzionamento di un multivibratore astabile che fa uso di un trigger di Schimitt 40106 (o 74C14) con una sola costante di tempo.

Configurazione dei terminali del circuito integrato (Fig. 5-31)

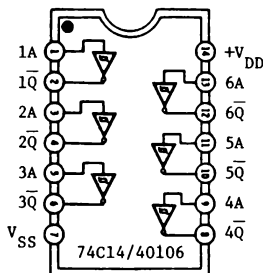



Fig. 5-31.

Schema del circuito (Fig. 5-32)

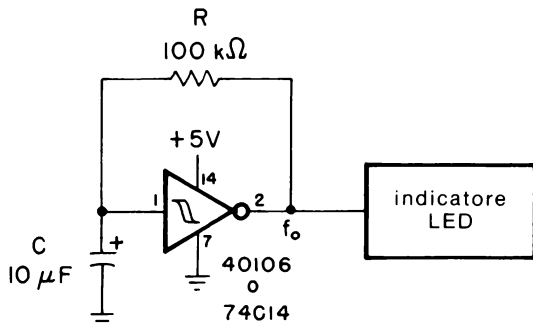



Fig. 5-32.

Formule di progetto

Frequenza di uscita: $f = \frac{K}{RC}$

dove la costante K dipende dal dispositivo e dal costruttore, come riassunto in Tabella 5-3. In generale, la frequenza di uscita aumenta con la tensione di alimentazione anche se i valori dei componenti esterni restano costanti.

Passo 1

Collegare il circuito come indicato nello schema. Dato che gli ingressi inutilizzati dei dispositivi CMOS non possono essere lasciati fluttuanti, collegare i restanti cinque ingressi (terminali 3, 5, 9, 11 e 13) a massa.

Passo 2

Applicare l'alimentazione alla piastra. Cosa accade allo stadio del LED?

Il visualizzatore LED dovrebbe lampeggiare a intermittenza, il che indica che l'uscita del circuito si porta alternativamente fra lo 0 logico (massa) e il livello logico 1 (+ 5 V) e cioè il circuito è un multivibratore astabile.

Passo 3

Scollegare l'alimentazione dalla piastra e cambiare il condensatore da 10 μF con uno da 0,01 μF. Fornire l'alimentazione alla piastra e misurare la frequenza di uscita con un frequenzimetro. Se si usa un trigger di Schmitt 74C14 o 40106 costruito dalla National Semiconductor, la costante K nell'equazione relativa è tipicamente 0,529 a 5 V di alimentazione; se il 40106 è prodotto dalla RCA, K è tipicamente 1,231. Come si confronta la frequenza di uscita misurata con l'equazione teorica?

A meno del 15%, si dovrebbe misurare 529 Hz (per micrologici della National Semiconductor), oppure 1231 Hz per un 40106 prodotto dalla RCA. Se si usa un trigger di Schmitt 40106 della RCA, lasciare perdere il passo successivo e continuare col Passo 5.

Passo 4

Ora aumentare la tensione di alimentazione a 10 V e misurare la frequenza di uscita. Ci sono variazioni?

Si dovrebbe rilevare un aumento nella frequenza, supposto che si stia utilizzando il 74C14 o il 40106 prodotto dalla National Semiconductor. La costante di proporzionalità K per questi micrologici tiene conto delle tensioni di soglia superiore ed inferiore del trigger di Schmitt, che dipendono dalla tensione di alimentazione. A 10 V, K è tipicamente 0,663, cosicchè la vostra frequenza misurata dovrebbe essere, a meno del 15%, di 663 Hz.

Passo 5

Scollegare l'alimentazione dalla piastra. Sostituire la resistenza di 100 kΩ con un'altra da 12 kΩ e il condensatore da 0,01 μF con uno da 0,0022 μF. Collegare di nuovo l'alimentazione alla piastra e ripetere le prove dei Passi 3 e 4.

Con i dispositivi della National 74C14 e 40106, la frequenza di uscita misurata, con una tensione di 5 V, dovrebbe essere di circa 20 kHz; con il 40106 della RCA, dovrebbe invece essere di circa 46,7 kHz.

Quando si aumenta la tensione di alimentazione a 10 V, la frequenza di uscita per l'uno e l'altro dei dispositivi National Semiconductor dovrebbe essere di circa 25,1 kHz; per il dispositivo RCA non ci dovrebbe essere alcuna variazione effettiva, poichè la sua soglia d'innesco aumenta proporzionalmente con la tensione di alimentazione.

ESPERIMENTO 4

Scopo

Questo esperimento dimostra il funzionamento del temporizzatore 555 collegato come multivibratore astabile.

Configurazione dei terminali del circuito integrato (Fig. 5-33)

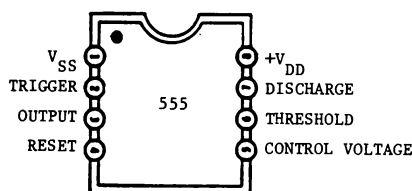



Fig. 5-33.

Formule di progetto:

Frequenza di uscita (in hertz): $f = \frac{1.443}{(R_1 + 2R_2)C}$

Ciclo utile percentuale: $D = \frac{R_1 + R_2}{R_1 + 2R_2} (100)$

Schema del circuito (Fig. 5-34)

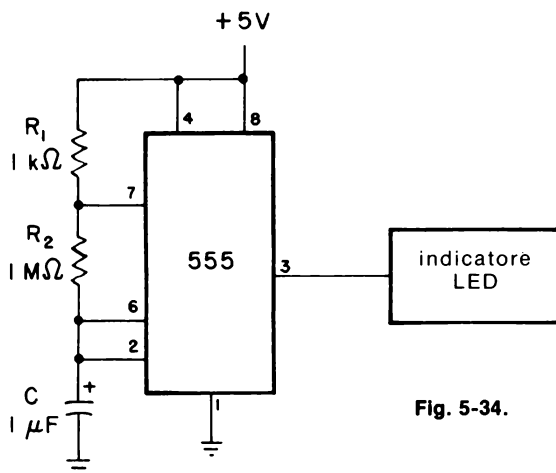



Fig. 5-34.

Passo 1

Collegare il circuito secondo lo schema, usando una resistenza R_1 di 1 kΩ, una resistenza R_2 di 1 MΩ e un condensatore C di 1 μF.

Passo 2

Collegare l'alimentazione alla piastra ed osservare che il visualizzatore LED lampeggi periodicamente a intermittenza. Con l'ausilio di un cronometro o di un orologio da polso avente la lancetta dei secondi, contare quante volte il LED si accende e si spegne nell'arco di 1 minuto. Si dovrebbero contare circa 44 impulsi al minuto, vale a dire una frequenza di 0,73 Hz che è lenta abbastanza da poter essere seguita dall'occhio umano.

Passo 3

Scollegare la tensione dalla piastra. Portare il valore del condensatore C a 0,001 μF. In funzione dei valori di resistenza R_2 sottoelencati,

Resistore di temporizzazione R2	Frequenza calcolata	Frequenza misurata
330 kΩ	4373 Hz	
100 kΩ		
15 kΩ		
10 kΩ		
4.7 kΩ		

misurare la frequenza di uscita del temporizzatore e paragonarla con i valori calcolabili con l'equazione data nel paragrafo "Formule di progetto".

Passo 4

Scollegare l'alimentazione dalla piastra. Ora usare una resistenza R_2 di 100 kΩ e un condensatore C di 0,01 μF. Inoltre collegare un oscilloscopio all'uscita del 555 (terminale 3).

Passo 5

Applicare l'alimentazione alla piastra. Qual'è la frequenza di uscita e il ciclo utile dell'onda quadra?

Si dovrebbe aver verificato che la frequenza di uscita vale 720 Hz. Il ciclo utile è il rapporto tra il periodo di tempo in cui l'uscita è ALTA, vale a dire +5 V, e il tempo relativo a un ciclo o periodo completo. In questo caso si dovrebbe trovare che il ciclo utile è molto vicino al 50%. Lo si paragoni all'equazione data nel paragrafo "Formule di progetto".

Passo 6

Scollegare l'alimentazione dalla piastra; sostituire la resistenza da 1 kΩ (R_1) con un'altra da 100 kΩ e la resistenza da 100 kΩ (R_2) con una da 47 kΩ. Collegare nuovamente l'alimentazione. Qual'è ora la frequenza di uscita e il suo ciclo utile?

Sebbene la frequenza di uscita aumenti leggermente (a circa 740 Hz), si dovrebbe misurare un ciclo utile del 75% circa, vale a dire un aumento del 50% per un incremento nella frequenza inferiore al 5%.

Passo 7

Provare diverse combinazioni di R_1 e R_2 onde cercare di produrre un ampio campo di cicli utili. In questo esperimento si dovrebbe giungere alla conclusione che è difficile variare il ciclo utile della forma d'onda di uscita mantenendo costante la frequenza di quest'ultima, nel caso si adoperi il circuito di Fig. 5-34. Un circuito più pratico viene descritto nell'esperimento che segue.

ESPERIMENTO 5

Scopo

Questo esperimento dimostra come sia possibile, usando un temporizzatore 555, variare il ciclo utile di un multivibratore astabile mantenendo la frequenza di uscita relativamente costante.

Formule di progetto:

Frequenza di uscita (in hertz): $f = \dfrac{1}{(R_1 + R_2 + R_3)C}$

Ciclo utile percentuale: $D = \left(\dfrac{R_2}{R_1 + R_2}\right) \times 100$

Configurazione dei terminali del circuito integrato (Fig. 5-35)

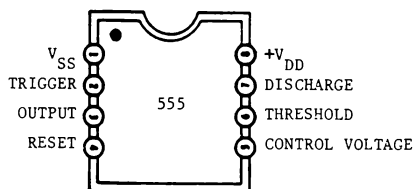



Fig. 5-35.

Schema del circuito (Fig. 5-36)

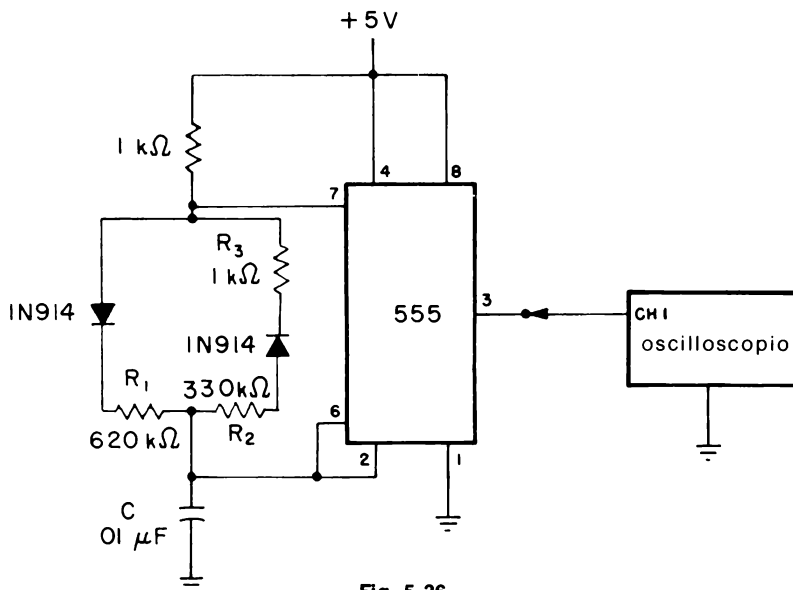



Fig. 5-36.

Passo 1

Collegare il circuito come indicato nello schema, facendo attenzione alla polarità dei due diodi.

Passo 2

Applicare l'alimentazione alla piastra e misurare la frequenza di uscita e il ciclo utile.

Si dovrebbe misurare una frequenza di uscita di circa 105 Hz. Il periodo di tempo durante il quale l'uscita è a livello logico 1 dovrebbe essere circa 3,3 ns, in modo tale che, con un ciclo totale di 9,5 ns, il ciclo utile è circa del 35%. Confrontare questi risultati con le equazioni teoriche.

Passo 3

Scollegare per un breve istante l'alimentazione dalla piastra e intercambiare le resistenze da 330 kΩ e da 620 kΩ. Ora R_1 è da 330 kΩ, mentre R_2 è da 620 kΩ. Ricollegare quindi l'alimentazione alla piastra e misurare la frequenza di uscita e il ciclo utile. Cosa avviene?

Si dovrebbe notare che il ciclo utile è aumentato dal 35% al 65%, ma che non c'è stata "nessuna variazione nella frequenza di uscita"! Il ciclo utile, di conseguenza, dipende dalla posizione della resistenza "maggiore" (620 kΩ). Se R_2 è più grande di R_1, il ciclo utile sarà maggiore del 50%, mentre se è più piccola il ciclo utile sarà inferiore al 50%.

Passo 4

Scollegare l'alimentazione dalla piastra e sostituire le due resistenze da 330 kΩ e da 620 kΩ con un potenziometro da 1 MΩ, come indicato in Fig. 5-37.

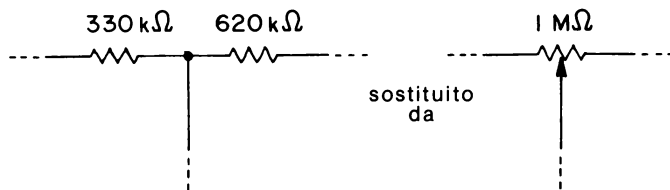



Fig. 5-37.

Passo 5

Ricollegare l'alimentazione alla piastra. Ora variare la resistenza del potenziometro da un estremo all'altro. Cosa si osserva rispetto alla frequenza di uscita e al ciclo utile allorquando si varia la resistenza del potenziometro?

Si dovrebbe notare che il ciclo utile è variato da quasi il 3% a circa il 97% senza alcuna variazione in frequenza, dipendendo dalla posizione del potenziometro. Questo circuito è molto adatto a variare dolcemente il ciclo utile del temporizzatore 555, usato come multivibratore astabile, mediante una sola regolazione e senza influenzare la frequenza di uscita.

ESPERIMENTO 6

Scopo

Questo esperimento dimostra il funzionamento del circuito integrato 4047 connesso come multivibratore astabile.

Passo 1

Collegare il circuito secondo lo schema e applicare l'alimentazione alla piastra.

Formula di progetto

frequenza di uscita (in hertz): $f = \frac{1}{2.2(RC)}$ @ pin 13

$f = \frac{1}{4.4(RC)}$ @ pin 10 o 11

Configurazione dei terminali del circuito integrato (Fig. 5-38)

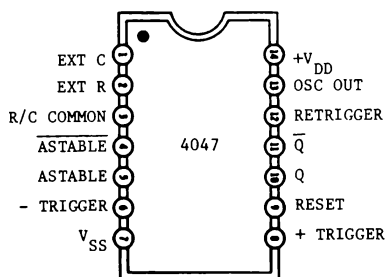



Fig. 5-38

Schema del circuito (Fig. 5-39)

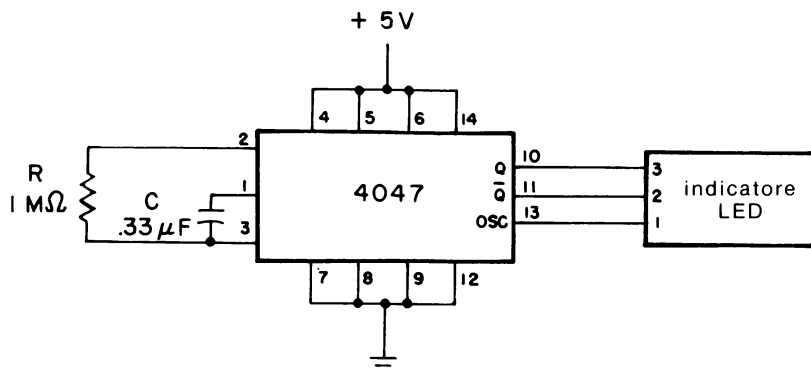



Fig. 5-39

Passo 2

Con l'ausilio di un cronometro o di un orologio da polso che abbia la lancetta dei secondi, contare quante volte il visualizzatore LED N° 1 lampeggia a intermittenza nell'arco di tempo di 1 minuto.

Dipendendo dalla precisione dei componenti esterni, si dovrebbero contare circa 82 accensioni in un minuto, vale a dire una frequenza di 1,38 Hz che è sufficentemente lenta da poter essere seguita dall'occhio umano.

Passo 3

Ora contare quante volte i visualizzatori LED N° 2 e N° 3 si accendono e si spengono in un minuto. Che relazione c'è fra questo valore e quello determinato al Passo 2?

Si dovrebbe notare che i LED N° 2 e N° 3 lampeggiano a una velocità pari a un mezzo di quella misurata al Passo 1. Si osserva qualche relazione fra il LED N° 2 e il LED N° 3?

Si dovrebbe verificare che quando il LED N° 2 è spento, il LED N° 3 è acceso e viceversa. Di conseguenza questi due LED indicano che le due uscite ai terminali 10 e 11 sono uscite complementari, che posseggono ambedue una frequenza di uscita pari a metà di quella del terminale 13 del 4047 (OSCILLATOR OUTPUT).

Passo 4

Scollegare ora l'alimentazione dalla piastra e sostituire il condensatore da 0,33 μF con uno da 0,01 μF e la resistenza da 1 MΩ con un'altra da 10 kΩ.

Ricollegare l'alimentazione alla piastra ad anche un frequenzimetro al terminale 13 del circuito integrato 4047. Misurare la frequenza di uscita. Come si paragona con l'equazione matematica?

Dipendendo dalla precisione dei componenti esterni, la frequenza al terminale 13 (OSCILLATOR) dovrebbe essere circa 4545 Hz. Ora misurare la frequenza ai terminali 10 e 11. Che relazione c'è con la frequenza al terminale 13?

La frequenza ai terminali 10, e 11 dovrebbe essere esattamente la metà di quella al terminale 13, cioè circa 2273 Hz. La lettura si scosterà di $\pm$ 1 Hz, dato che il frequenzimetro ha un errore di $\pm$ 1 Hz. Dipendendo dalla particolare applicazione, il multivibratore astabile 4047 è in grado di generare due frequenze di uscita, una metà dell'altra.

CAPITOLO 6

Contatori

INTRODUZIONE ED OBIETTIVI

Il contatore digitale è uno degli elementi logici più importanti nel gruppo di circuiti integrati CMOS. Sia i contatori binari di tipo ripple che quelli sincroni sono presenti nella temporizzazione e nella visualizzazione di parecchi strumenti digitali.

Questo capitolo tratta entrambi i circuiti CMOS binario di tipo ripple e sincrono, che sono usati principalmente come contatori che dividono per N. Tuttavia, diversi tipi hanno la possibilità di essere collegati in modo da sintetizzare digitalmente varie forme d'onda periodiche oppure frequenze. Inoltre, si possono utilizzare moltiplicatori di velocità binari per eseguire un certo numero di operazioni aritmetiche, come l'addizione, la sottrazione, la divisione, i rapporti e le radici.

Al termine di questo capitolo, si sarà in grado di fare quanto segue:

- Spiegare le differenze fra contatori binari di tipo ripple e contatori sincroni
- Descrivere il funzionamento dei seguenti tipi di contatore sincrono:
  1 - Contatori con uscite decodificate 1 su N, come il 4017 e il 4022
  2 - Contatori decadici con uscite decodificate per display a 7 segmenti, come il 4026 e il 4033
  3 - Doppi contatori in avanti BCD e binari, come il 4518 e il 4520
  4 - Contatori programmabili avanti-indietro BCD e binari, come il 4029, il 4510, il 4516, il 40192 e il 40193

5 - Contatori programmabili indiètro BCD e binari, come il 4059, il 40102 e il 40103
6 - Contatori programmabili a più decadi come lo Hughes 0320

- Descrivere l'utilizzazione del contatore binario di tipo ripple 4060 con un cristallo per ottenere un oscillatore e un divisore binario
- Descrivere come i contatori sincroni e quelli binari di tipo ripple possono essere usati per sintetizzare alcune forme d'onda periodiche
- Descrivere il funzionamento dei moltiplicatori di velocità BCD e binari, come il 4089 e il 4527 per sintetizzare funzioni aritmetiche

CONTATORI BINARI DI TIPO RIPPLE

I *contatori binari di tipo ripple* sono essenzialmente costituiti da una serie di flip-flop del tipo master-slave in cascata, tale che l'uscita di uno stadio di contatore sia collegata all'ingresso di clock dello stadio successivo, come rappresentato in Fig. 6-1 per un semplice contatore binario di

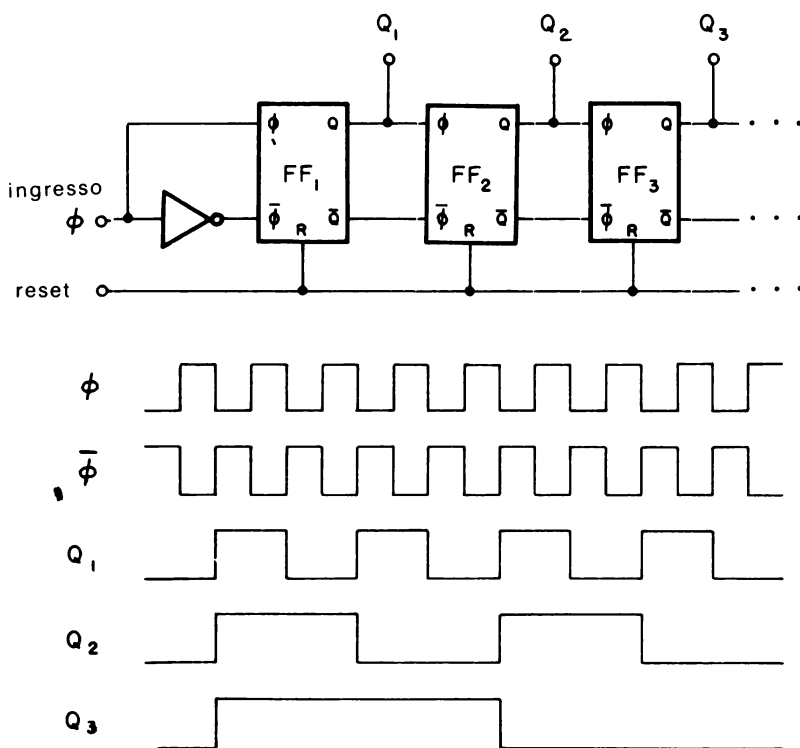



Fig. 6-1. Contatore binario di tipo ripple a N stadi.

tipo ripple a N stadi. L'uscita Q_1 del primo stadio ha una frequenza che è la metà di quella del clock all'ingresso, mentre l'uscita Q_3 è pari a 1/8 della frequenza d'ingresso del contatore. A partire dal fondo, l'uscita di ciascun stadio successivo è la metà di quello precedente, in modo tale che il modulo aumenta di una quantità pari alle potenze di 2:2^1, 2^2, 2^3, ecc.

Poichè l'uscita di un qualsiasi stadio costituisce l'ingresso dello stadio seguente, il ritardo di propagazione da ingresso a uscita può risultare un problema, specialmente se il contatore ha un notevole numero di stadi, come il 4045 che è un contatore a 21 stadi. La Tabella 6-1 riporta i contatori binari di tipo ripple CMOS della serie 4000 che sono disponi-

Tabella 6-1. Contatori CMOS binari di tipo ripple.

			Max. Freq. d'ingr., MHz			
Dispo-sitivo	Stadi	Segnale di clock	5 V	10 V	15 V	Note
4020	14	⌉_	7	16	24	nessun uscita per 2^2, 2^3
4024	7	⌉_	7	16	24	
4040	12	⌉_	7	16	24	
4045	21	⌉_	7	16	24	può essere usato come oscillatore con cristallo; solo uscita 2^{21}
4060	14	⌉_	7	16	24	può essere usato come oscillatore con cristallo; nessun uscita 2^2, 2^3 o 2^{11}

bili. Altri contatori di tipo ripple, come il 74C90 (÷10) e il 74C93 (÷16) sono CMOS identici ed equivalenti pin-a-pin ai corrispondenti contatori TTL 7490 e 7493. Di quelli elencati nella Tabella 6-1, i contatori 4045 e 4060 possono essere utilizzati con un cristallo esterno per formare un oscillatore stabile. Come si può notare dalla Fig. 6-2, il 4060 è una combinazione di un oscillatore controllato da un cristallo con un divisore binario a 14 stadi.

Oltre ad ottenere la frequenza fondamentale di uscita f_0, determinata dalla frequenza di risonanza del cristallo, il 4060 divide anche questa frequenza in multipli binari da 16 a 16.384, tranne che per 2^{11} pari a 2048, tale che esiste un totale di 11 differenti frequenze di uscita possibili.

CONTATORI SINCRONI

I *contatori sincroni* differiscono da quelli di tipo ripple in quanto gli stadi interni di conteggio sono pilotati da un unico clock d'ingresso, e tutte le uscite commutano simultaneamente. Come si può notare dalla Tabella 6-2, i contatori sincroni CMOS sono compresi in una delle seguenti classi:

Tabella 6-2. Contatori CMOS sincroni.

Dispositivo	Tipo	Modulo	Segnale di clock	Max. Freq. d'ingr., MHz			Note
				5 V	10 V	15 V	
0320	programmabile	3 da 1024	↑	5	10	—*	programmazione binaria e BCD
4017	decodificato 1 su 10	10	↑	5	12	16	contatore di Johnson a 5 stadi
4018	programmabile	2 da 10	↑	5	10	15	contatore di Johnson
4022	decodificato 1 su 8	8	↑	5	12	16	contatore di Johnson a 4 stadi
4026	decadico w/7 segmenti	10	↑	3	6	7.5	contatore di Johnson a 5 stadi; ingresso di abilitazione con display
4029	programmabile avanti/indietro	10 o 16	↑	4.6	10	14	programmazione binaria o BCD a 4 bit
4033	decadico w/7 segmenti	10	↑	3	6	7.5	contatore di Johnson a 5 stadi; I/O di blanking con riporto
4059	programmabile indietro	3 da 9999 o 15,999	↑	3	6	—†	4 sezioni BCD
4510	programmabile avanti/indietro	10	↑	4	8	11	BCD a 4 bit
4516	programmabile avanti/indietro	16	↑	4	8	11	binario (esadecimale) a 4 bit
4518	avanti	10	↑ o ↓	3	6	8	sezioni decadiche doppie
4520	avanti	16	↑ o ↓	3	6	8	sezioni binarie doppie
40102	programmabile indietro	0 da 100	↑	1.4	3.6	4.8	ingressi BCD a 2 decadi
40103	programmabile indietro	0 da 256	↑	1.4	3.6	4.8	ingressi binari a 8 bit
40192 74C192	programmabile avanti/indietro	0 da 9	↑ o ↓	4	8	11	BCD a 4 bit
40193 74C193	programmabile avanti/indietro	0 da 15	↑ o ↓	4	8	11	binario a 4 bit

* Non specificato: la massima tensione VDD è 13 V.
† Non specificato: la massima tensione VDD è 12 V.

- Uscite decodificate 1 su N
- Contatori decadici con uscite decodificate per display a 7 segmenti
- Contatori fissi e programmabili in avanti decadici e binari (esadecimali)
- Contatori programmabili avanti-indietro decadici e binari (esadecimali)
- Contatori programmabili indietro decadici e binari (esadecimali)

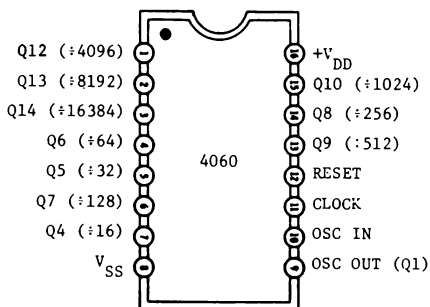
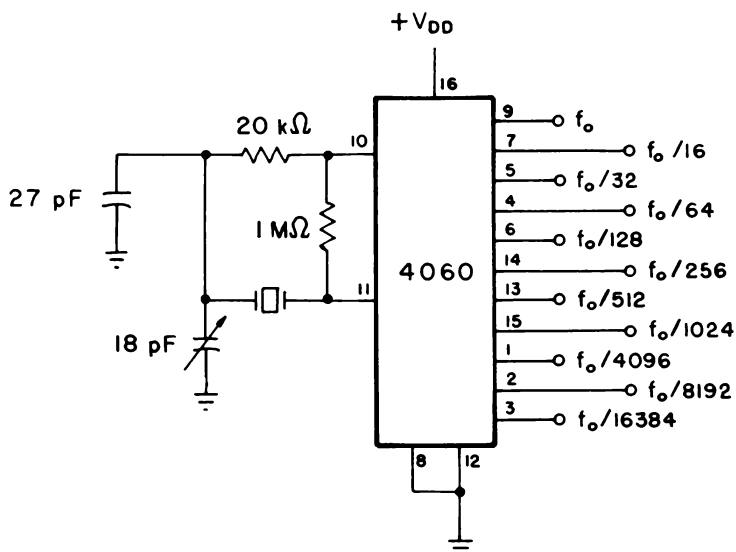
che vengono trattati dettagliatamente nei paragrafi seguenti.

(A) Configurazione dei terminali.

(B) Oscillatore controllato da un cristallo con 11 frequenze di uscita.

Fig. 6-2. Contatore/divisore binario di tipo ripple a 14 stadi 4060 ed oscillatore.

(A) Configurazione dei terminali dei 4017 (1 su 10).

(B) Configurazione dei terminali dei 4022 (1 su 8).

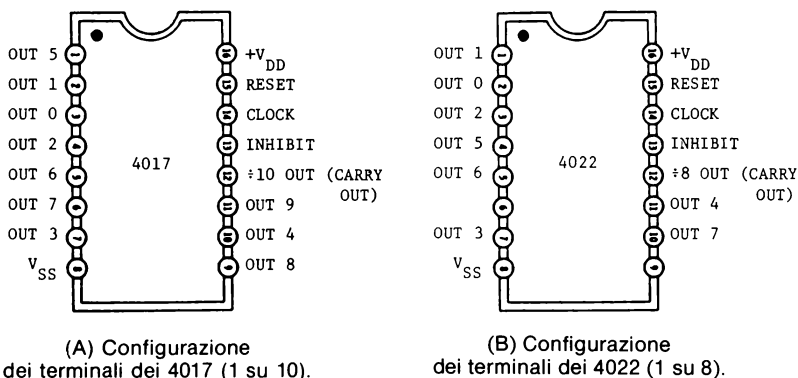



Fig. 6-3. Contatori decodificati 1 su N.

Contatori decodificati 1 su N

I contatori decodificati 1 su N come il 4017 e il 4022 (Fig. 6-3) sono dispositivi unici in quanto entrambi posseggono all'interno un passo variabile (contatore *Johnson*) con uscite decodificate. Il 4017 è un contatore decadico (÷10) con 10 uscite decodificate, mentre il 4022 è un contatore divisore per 8 con 8 uscite decodificate. Questi contatori vengono essenzialmente usati nei filtri digitali e nei generatori di forme d'onda. Entrambi commutano sul fronte di salita positivo dell'ingresso di clock se l'ingresso INHIBIT è a livello logico 0. Altrimenti se l'ingresso INHIBIT è a livello logico 1 il conteggio viene bloccato. Entrambi i contatori vengono posizionati nella configurazione 0 quando l'ingresso RESET è a livello logico 1. Le uscite decodificate sono normalmente basse e diventano alte solo nella loro porzione di tempo rispettiva, come è mostrato in Fig. 6-4.

Contatori decadici con uscite decodificate a 7 segmenti

I contatori decadici, come il 4026 e il 4033, consistono in un contatore Johnson a 5 stadi con un decodificatore di uscita che converte il codice dell'anello mobile in uscita decodificata a 7 segmenti adatte al pilotaggio di display LED a *catodo comune* (il capitolo 7 esamina le tecniche di interfaccia specifiche per i display LED). Il 4026 (Fig. 6-5) ha l'opportunità di abilitare il display, usato per spegnere il display stesso quando l'ingresso DISPLAY ENABLE è a livello logico 0. Ciò permette il controllo della luminosità utilizzando un multivibratore astabile con ciclo utile variabile, oppure il risparmio di potenza.

Il segnale di CARRY OUT (CO) è una uscita divisa per 10 che non viene bloccata dallo stato dell'ingresso DISPLAY ENABLE e che si può continuamente usare per pilotare direttamente quale clock la decade successiva in un sistema con display a più decadi.

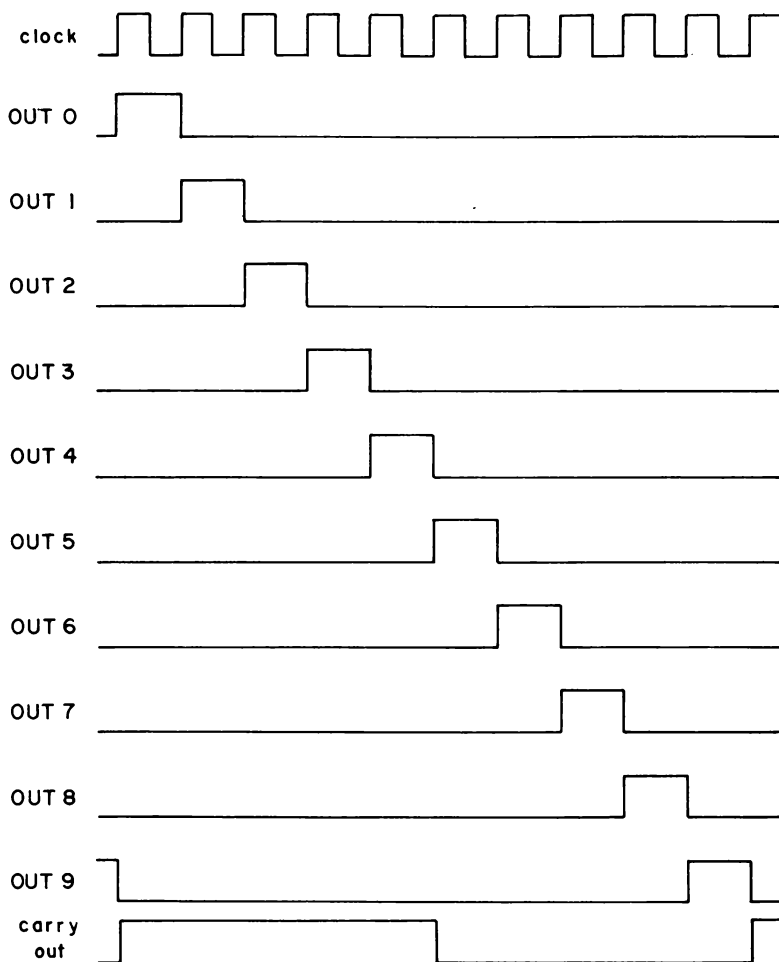



Fig. 6-4. Diagramma della temporizzazione del 4017.

Il 4033 (Fig. 6-6), d'altra parte, non possiede l'ingresso DISPLAY ENABLE ma è stato previsto per la sopressione automatica o cancellamento degli zeri non significativi in un display numerico decimale a più cifre.

Per esempio un display a 8 cifre non cancellato può leggere 0054.3210; con il cancellamento gli zeri non significativi vengono eliminati, fornendo 54.321. La soppressione dello zero per gli zeri alla sinistra del punto decimale viene ottenuto collegando il segnale RIPPLE BLANKING INPUT (RBI) della decade più significativa del 4033 utile per il display al livello logico 0, mentre il segnale RIPPLE BLANKING OUTPUT (RBO) di questo stadio viene collegato al terminale RBI della

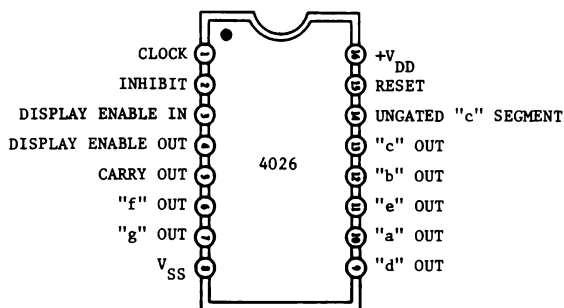



Fig. 6-5. Configurazione dei terminali del contatore/divisore decadico 4026.

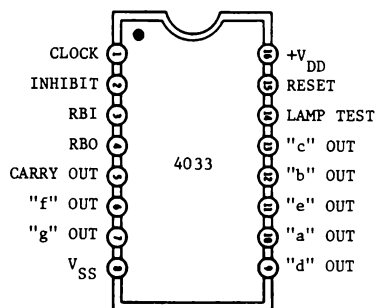



Fig. 6-6. Configurazione dei terminali del contatore/divisore decadico 4033.

decade del 4033 adiacente meno significativa, comè illustrato in Fig. 6-7.

Per le cifre a destra del punto decimale, il terminale RBI della decade meno significativa viene connesso al livello logico 0, mentre RBO di questa stessa decade è collegato al terminale RBI della decade adiacente più significativa, e così di seguito.

La Fig. 6-8 rappresenta lo schema generale per un contatore multidecadico/display che fa uso o del 4026 o del 4033. Per più di 4 decadi, è più conveniente scandire i display. Nel capitolo 7 viene trattato il metodo con cui il 4026 e il 4033 vengono interfacciati con display funzionanti a scansione.

Doppi contatori in avanti

I doppi contatori sincroni in avanti BCD 4518 e binario o esadecimale 4520 (Fig. 6-9) consistono entrambi di una coppia di contatori uguali a 4 stadi che posseggono l'intercambiabilità tra gli ingressi CLOCK e ENABLE. Questa proprietà permette a qualsiasi di essi di commutare in corrispondenza delle transizioni positive oppure negative del clock d'in-

Fig. 6-7. Collegamenti per sopprimere l'anticipo dello zero.

gresso, come è rappresentato in Fig. 6-10 e riassunto nella Tabella 6-3.

Entrambi i contatori possono essere messi in cascata nel modo *ripple* collegando l'uscita Q4 all'ingresso ENABLE del contatore successivo, come in Fig. 6-11. Come per gli altri contatori di tipo, quali il 4020, il ritardo di propagazione aumenta per ogni contatore aggiunto. La Fig. 6-12 mostra come entrambi i contatori possano essere posti in cascata in maniera sincrona mediante una porta AND.

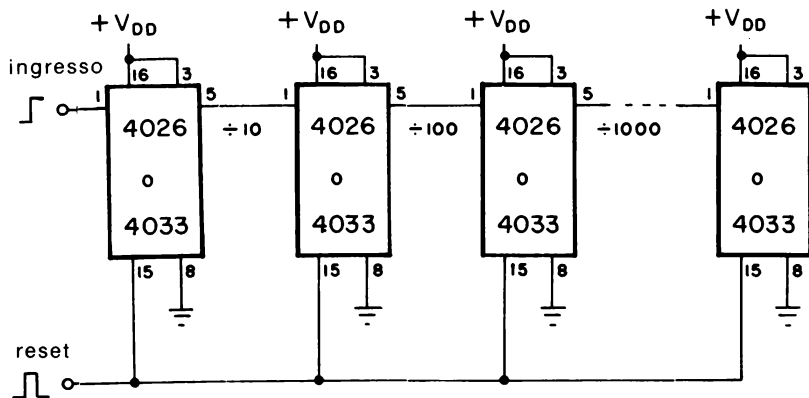



Fig. 6-8. Contatore multidecadico per display utilizzante il 4026 o il 4033.

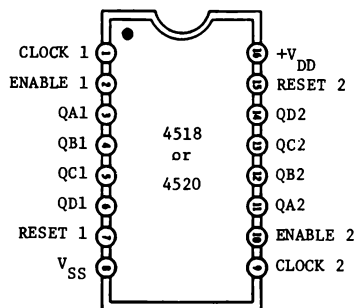
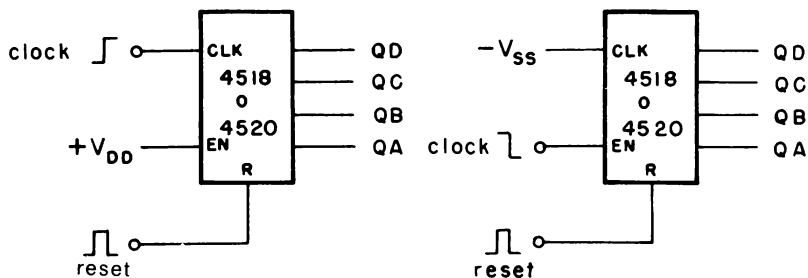



Fig. 6-9. Configurazione dei piedini dei contatori 4518 (decadico) / 4520 (esadecimale).

(A) Positive edge clocking.

(B) Negative edge clocking.

Fig. 6-10. Contatori 4518 e 4520.

Tabella 6-3. Tabella della verità dei 4518/4520.

CLOCK	ENABLE	Risultato
↑	1	conta in avanti
0	↓	conta in avanti
↓	0 o 1	nessun cambiamento
0 o 1	↑	nessun cambiamento
↑	0	nessun cambiamento
1	↓	nessun cambiamento

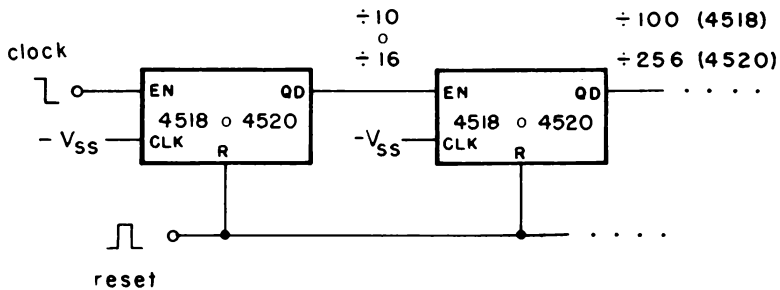



Fig. 6-11. Collegamento in cascata di tipo ripple dei contatori 4518/4520.

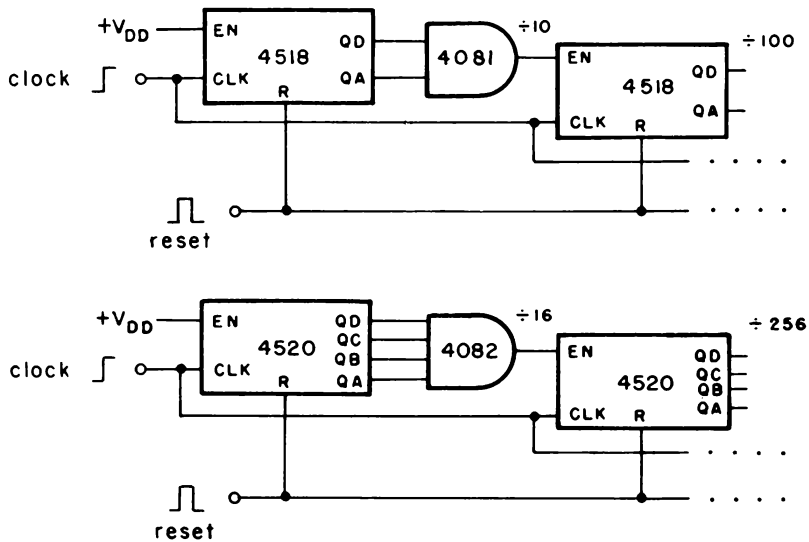



Fig. 6-12. Collegamento in cascata di tipo sincrono dei contatori 4518/4520 con porte AND.

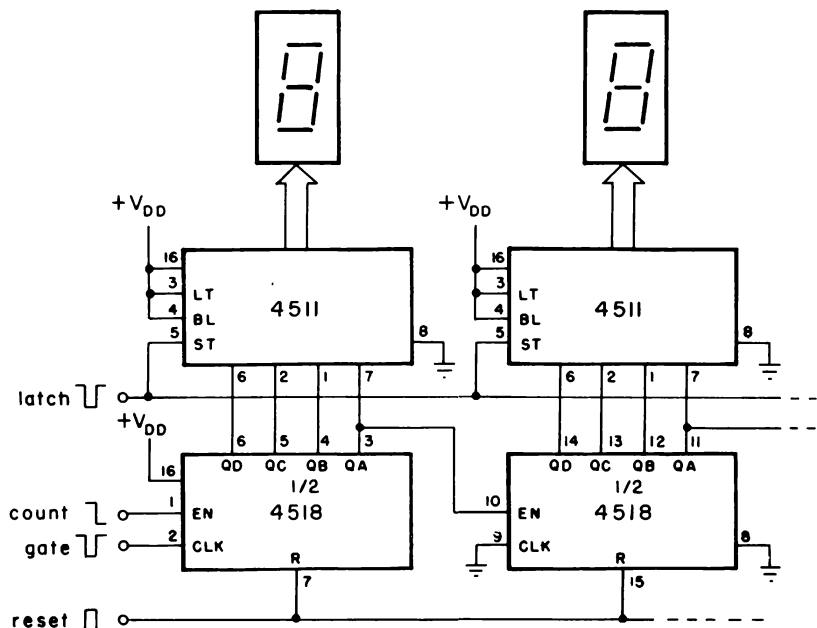



Fig. 6-13. Decodificatore da BCD a 7 segmenti con latch.

Allorquando un contatore di questo tipo viene abbinato a un latch decodificatore/driver BCD/7 segmenti del tipo 4511, come illustrato in Fig. 6-13, si ottiene una configurazione equivalente alla sequenza 7490/7574/7448 di dispositivi TTL. Il capitolo 7 analizza l'interfacciamento del decodificatore 4511 con display LED a 7 segmenti.

Contatori programmabili avanti/indietro

I contatori avanti/indietro sono spesso chiamati contatori *somma-/sottrazione*, in quanto sono in grado di sommare, come pure sottrarre al/dal conteggio memorizzato. Questo tipo di contatore è particolar-

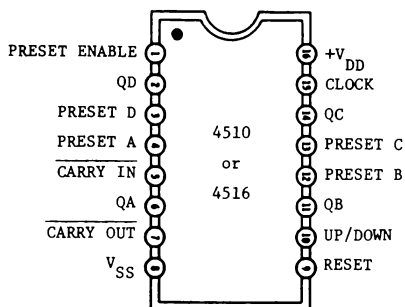



Fig. 6-14. Configurazione dei terminali dei contatori programmabili avanti/indietro 4510 (decimale) e 4516 (esadecimale)

mente utile in applicazioni che comprendono sintetizzatori digitali di frequenza e la sintesi di funzioni aritmetiche con moltiplicatori di velocità. A questo gruppo di contatori avanti/indietro appartengono il 4510, il 4516, il 40192 (74C192) e il 40193 (74C193).

I contatori 4510 (decadico) e 4516 (binario o esadecimale) la cui configurazione dei terminali è rappresentata in Fig. 6-14, sono contatori a 4 bit i cui moduli possono essere programmati, o preposizionati, a un dato valore usando il codice standard a 4 bit BCD oppure binario agli ingressi PRESET. Nomi alternativi usati per questi ingressi sono "jam" e "load". Lo stato dell'ingresso UP/DOWN determina se il contatore conta in avanti (somma al conteggio) o indietro (sottrae dal conteggio) ad ogni transizione positiva del clock.

Se l'ingresso UP/DOWN è al livello logico 1, il contatore somma; se è al livello logico 0, esso sottrae. La Tabella 6-4 fornisce la tabella della verità per i contatori 4510 e 4516.

Come si può notare dalla Fig. 6-15, gli stadi del contatore decadico o binario sono posti in cascata per il pilotaggio di clock in *parallelo*

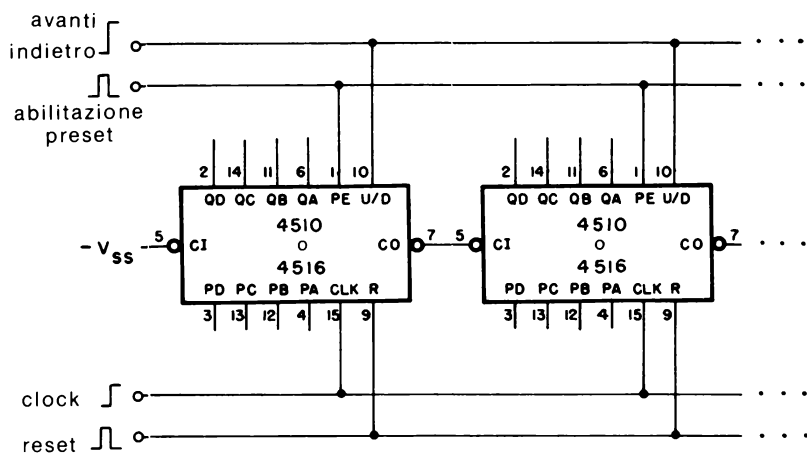



Fig. 6-15. Collegamento in cascata per sistema di clock parallelo.

Tabella 6-4. Tabella della verità dei 4510/4516

CLOCK	CARRY IN	UP/DOWN	PRESET ENABLE	RESET	Risultato
0 o 1	1	0 o 1	0	0	nessun conteggio
⎍	0	1	0	0	conta in avanti
⎍	0	0	0	0	conta all'indietro
0 o 1	0 o 1	0 o 1	1	0	proposizionamento con codice a 4 bit
0 o 1	0 o 1	0 o 1	0 o 1	1	reset

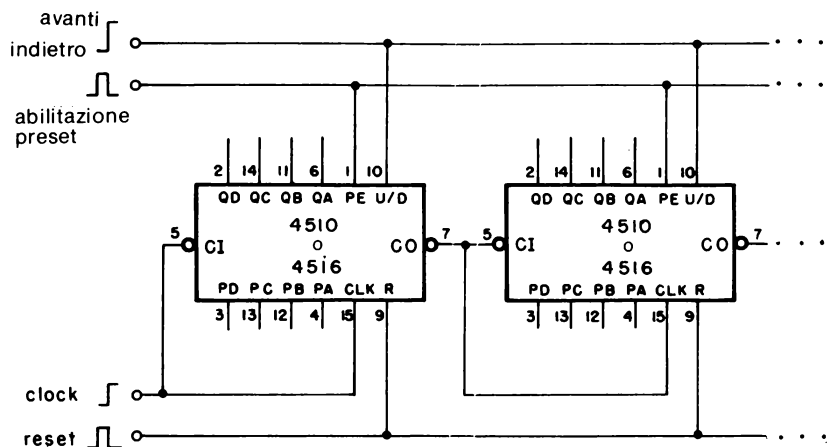



Fig. 6-16. Collegamento in cascata per sistema di clock di tipo ripple.

collegando il segnale $\overline{\text{CARRY OUT}}$ del primo stadio al terminale $\overline{\text{CARRY IN}}$ dello stadio seguente, mentre il segnale d'ingresso del clock pilota simultaneamente gli ingressi CLOCK di tutti gli stadi. Per un pilotaggio di clock di tipo *ripple*, i terminali CLOCK di tutti gli stadi. Per un pilotaggio di clock di tipo *ripple*, i terminali CLOCK e $\overline{\text{CARRY IN}}$ di ciascun stadio sono collegati insieme coma da Fig. 6-16.

Il codice a 4 bit è *caricato in parallelo* nel contatore portando momentaneamente l'ingresso PRESET ENABLE al livello logico 1. Se il contatore delle *unità* di Fig. 6-16 viene preposizionato con il codice a 4 bit $DCBA_1 = 0100$ (4 decimale), il contatore delle *decine* con $DCBA_{10} = 1000$ (8 decimale), e il *contatore* delle centinaia con $DCBA_{100} = 0011$ (3 decimale), quando avviene il caricamento in parallelo, il conteggio iniziale è pertanto 384, dal quale si può contare in avanti o indietro.

Il contatore 4029 (Fig. 6-17) è simile nel funzionamento al 4510 e al 4516 tranne per il fatto che esso può essere selezionato per il conteggio o

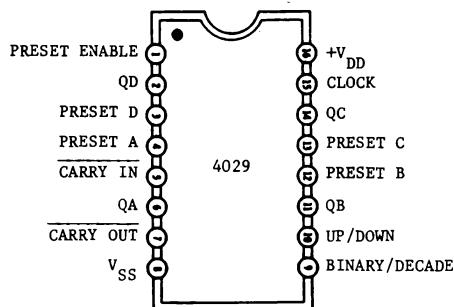



Fig. 6-17. Configurazione dei terminali del contatore programmabile avanti/indietro decimale/esadecimale 4029.

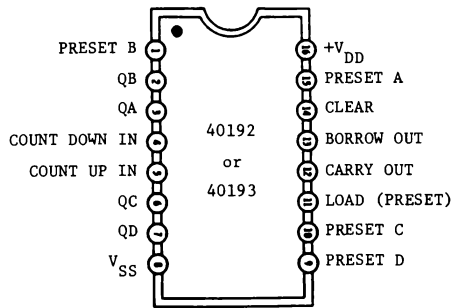



Fig. 6-18. Configurazione dei terminali dei contatori programmabili avanti/indietro 40192 (decimale) e 40193 (esadecimale).

decadico o binario (esadecimale). Un livello logico 1 applicato all'ingresso BINARY/DECADE dà come risultato un conteggio binario. Inoltre non esiste l'ingresso di reset. Di conseguenza, il 4029 può essere resettato solamente presentando 4 bit agli ingressi PRESET pari a DCBA = 0000 e portando momentaneamente l'ingresso PRESET ENABLE al livello logico 1.

Diversamente dai contatori 4029, 4510 e 4516, il 40192 o 74C192 (contatore decimale) e il 40193 o 74C193 (esadecimale),che sono anch'essi contatori programmabili avanti/indietro, hanno due ingressi separati di clock: uno per il conteggio in avanti e uno per quello indietro, come illustra lo schema comune dei terminali di Fig. 6-18.

La Fig. 6-19 rappresenta un circuito a due decadi, in cui sia il 40192 che il 40193 contano o in avanti o indietro con il fronte positivo del clock. Durante il conteggio i segnali $\overline{\text{CARRY}}$ e $\overline{\text{BORROW}}$ sono normalmente al livello logico 1. Il segnale $\overline{\text{CARRY}}$ diventa basso mezzo ciclo dopo che lo stadio individuale del contatore raggiunge il suo conteggio massimo

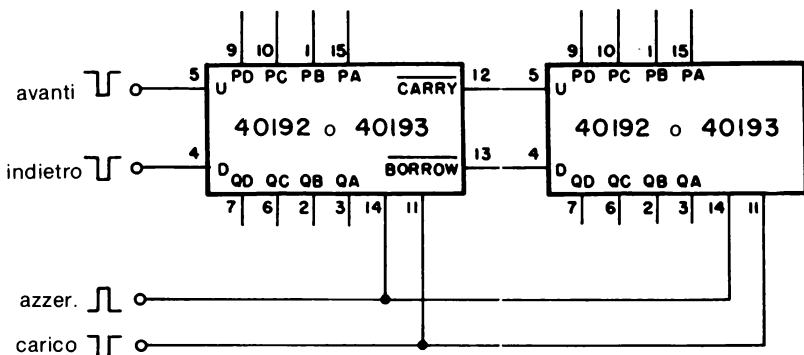



Fig. 6-19. Contatore avanti/indietro a due decadi.

quando si conta *in avanti.* Il segnale $\overline{\text{BORROW}}$ diventa basso mezzo ciclo dopo che lo stadio individuale del contatore raggiunge il suo conteggio minimo quando si conta *indietro.*

Contatori programmabili indietro

Il 40102 è un contatore programmabile indietro sincrono BCD a 2 decadi in quanto esso contiene all'interno due contatori BCD a 4 bit in cascata.

Posizionando diversamente gli ingressi PRESET, il 40102 è in grado di contare all'indietro da un massimo di 99 fino a 0. Il 40103 è un singolo contatore binario a 8 bit, che può contare da un massimo di 255 a 0.

La Fig. 6-20 rappresenta la configurazione dei terminali comune al 40102 e al 40103.

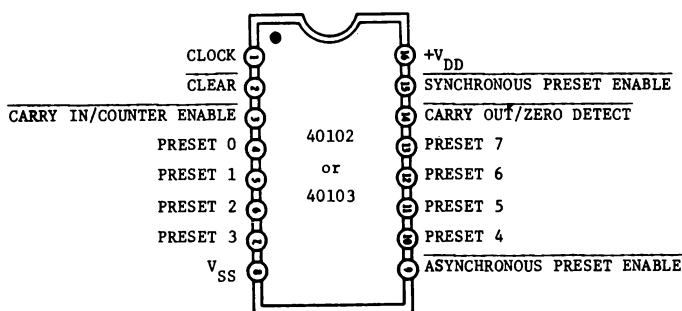



Fig. 6-20. Configurazione dei terminali dei contatori programmabili che contano all'indietro 40102/40103.

In funzionamento normale, sia il 40102 che il 40103 vengono decrementati di uno ad ogni transizione positiva del clock all'ingresso. Il conteggio indietro viene bloccato quando l'ingresso $\overline{\text{CARRY IN/COUNTER ENABLE (CI/CE)}}$ è a livello logico 1. Quando il conteggio raggiunge lo zero, l'uscita $\overline{\text{CARRY OUT/ZERO DETECT (CO/ZD)}}$ si porta al livello basso e vi rimane per un ciclo completo di clock se $\overline{\text{CI/CE}}$ è pure al livello basso.

Quando l'ingresso $\overline{\text{SYNCHRONOUS PRESET ENABLE (SPE)}}$ è a livello basso, il contatore viene caricato in parallelo col contenuto dei sette ingressi $\overline{\text{PRESET}}$ in corrispondenza della *successiva* transizione positiva del clock, indipendentemente dallo stato dell'ingresso $\overline{\text{CI/CE}}$. Se l'ingresso $\overline{\text{ASYNCHRONUS PRESET ENABLE (APE)}}$ è al livello basso, il contatore viene caricato in parallelo asincronicamente, per nulla influenzato dagli ingressi di $\overline{\text{CLOCK, SPE, CI/CE}}$. Quando l'ingresso $\overline{\text{CLEAR (CLR)}}$ è a livello logico 0, il contatore 40102 viene portato asincronicamente alla sua configurazione massima pari a 99, mentre il 40103 viene portato a 255, indipendentemente dallo stato degli

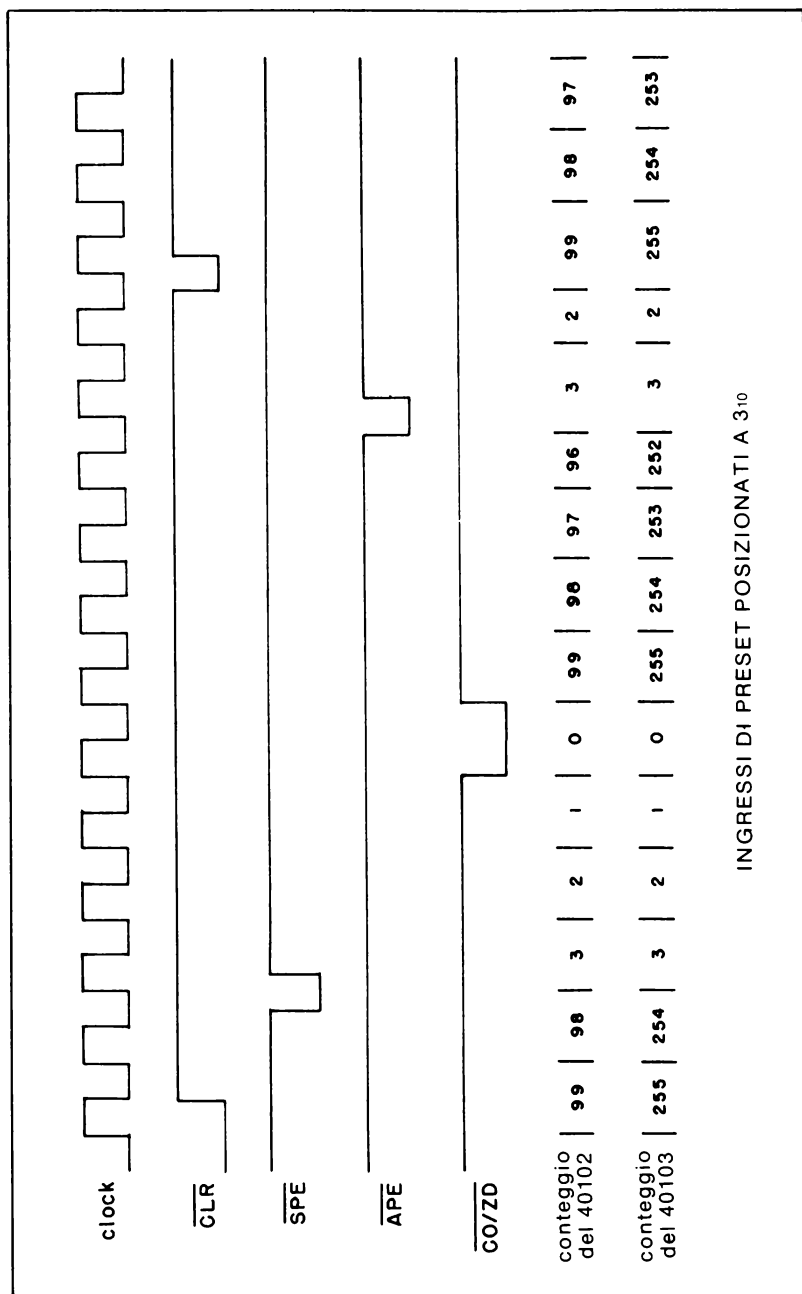



Fig. 6-21. Diagramma della temporizzazione dei 40102/40103.

altri ingressi. Tutte queste operazioni sono riassunte nel diagramma della temporizzazione di Fig. 6-21 ed elencate in Tabella 6-5.

La Fig. 6-22 illustra come sia il 40102 che il 40103 vengano collegati per ottenere un contatore divisore per N. Il posizionamento dei sette ingressi PRESET, che dà come risultato un numero decimale K, porta ad una frequenza in uscita pari a 1 /(k + 1) volte la frequenza di clock all'ingresso. Per il contatore 40102, gli ingressi PRESET da 0 a 3 determinano la decade delle *unità*, mentre gli ingressi da 4 a 7 determinano la decade delle *decine*. Gli ingressi 3 e 7 sono i bit più significativi. Per il contatore 40103, il conteggio è determinato dal posizionamento di un numero binario a 8 bit. Ad esempio, se gli ingressi PRESET vengono portati a 01110011, il 40102 avrà una frequenza di uscita che è 1/74 di

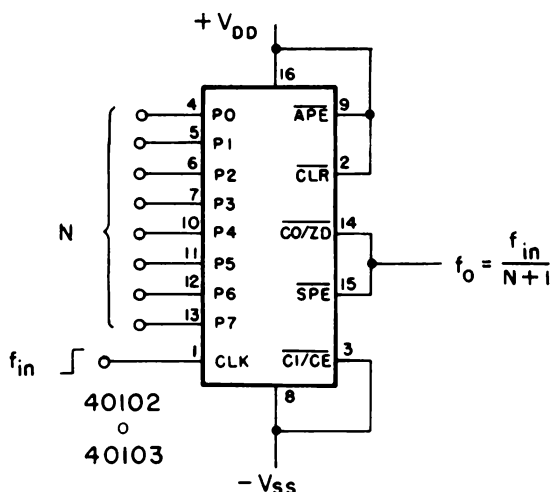



Fig. 6-22. Contatore divisore per N 40102/40103.

Tabella 6-5. Tabella della verità dei 40102/40103

Ingressi di Controllo				Modo di reset	Risultato
$\overline{CLR}$	$\overline{APE}$	$\overline{SPE}$	$\overline{CI/CE}$		
1	1	1	1	Sincrono	impedisce il conteggio
1	1	1	0	Sincrono	conta all'indietro
1	1	0	0 o 1	Sincrono	preposiziona sulla successiva transizione del clock
1	0	0 o 1	0 o 1	Asincrono	prepos. asincronamente
0	0 o 1	0 o 1	0 o 1	Asincrono	riporta al massimo conteggio 99 per il 40102; 255 per il 40103

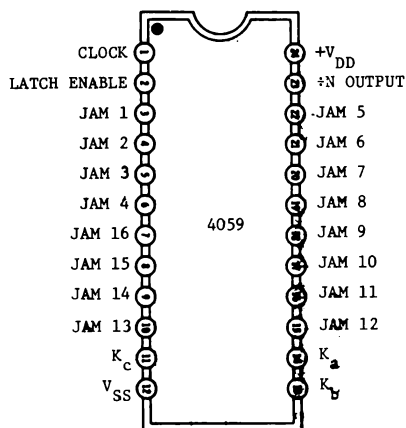



Fig. 6-23. Configurazione dei terminali del contatore divisore per N programmabile 4059.

quella d'ingresso, mentre il 40103 avrà un'uscita che è 1/116 dell'ingresso.

Il contatore divisore per N programmabile 4059, come illustrato in Fig. 6-23 può essere posizionato per dividere una frequenza d'ingresso per un qualsiasi numero intero compreso tra 3 e 15.999.

Tuttavia, il 4059 non è così facilmente programmabile come altri tipi precedentemente considerati. Qualunque sia il posizionamento, il segnale di uscita è un impulso di ampiezza pari a un ciclo del clock d'ingresso.

La programmazione viene realizzata con gli ingressi MODE-SELECT (K_a, K_b e K_c) che determinano il modulo della prima e dell'ultima sezione di conteggio, come illustrato dallo schema a blocchi di Fig. 6-24 e condensato in Tabella 6-6. Gli ingressi MODE-SELECT posizionano il modulo massimo a 9999 quando la prima sezione di conteggio divide per 5 o per 10, oppure fino a un massimo di 15.999 quando la prima sezione divide per 8, 4 o 2. Inoltre, ciascuna sezione di conteggio intermedia può essere predisposta per un conteggio massimo di 15 anzichè di 9. Un livello logico 1 all'ingresso LATCH ENABLE fa in modo che l'uscita del 4059 rimanga al livello logico 1 una volta ottenuto un impulso di uscita, e vi rimane ulteriormente finchè l'ingresso LATCH ENABLE non ritorna a 0.

Per programmare il PRESET o il JAM 16, e i 3 ingressi MODE SELECT considereremo i due seguenti esempi.

Il modulo deve essere 6543. Supponiamo che il MODE della prima sezione di conteggio sia 5, cosicchè 6543:5 dia 1308 con un resto di 3. Allora dalla Tabella 6-6 con un MODE SELECT di 5, si ottiene:

Tabella 6-6. Tabella della verità del 4059

Ingressi di selezione del modo			Prima sezione di conteggio			Ultima sezione di conteggio			Modulo massimo
K_a	K_b	K_c	Modo (divide per)	Può essere preposizionato ad un mas. di	Ingressi Jam usati	Modo (divide per)	Può essere preposizionato ad un mas. di	Ingressi Jam usati	
1	1	1	2	1	1	8	7	2, 3, 4	15,999
0	1	1	4	3	1, 2	4	3	3, 4	15,999
1	0	1	5	4	1, 2, 3	2	1	4	9,999
0	0	1	8	7	1, 2, 3	2	1	4	15,999
1	1	0	10	9	1, 2, 3, 4	1	0	—	9,999
1 o 0	0	0	Preset principale			Preset principale			

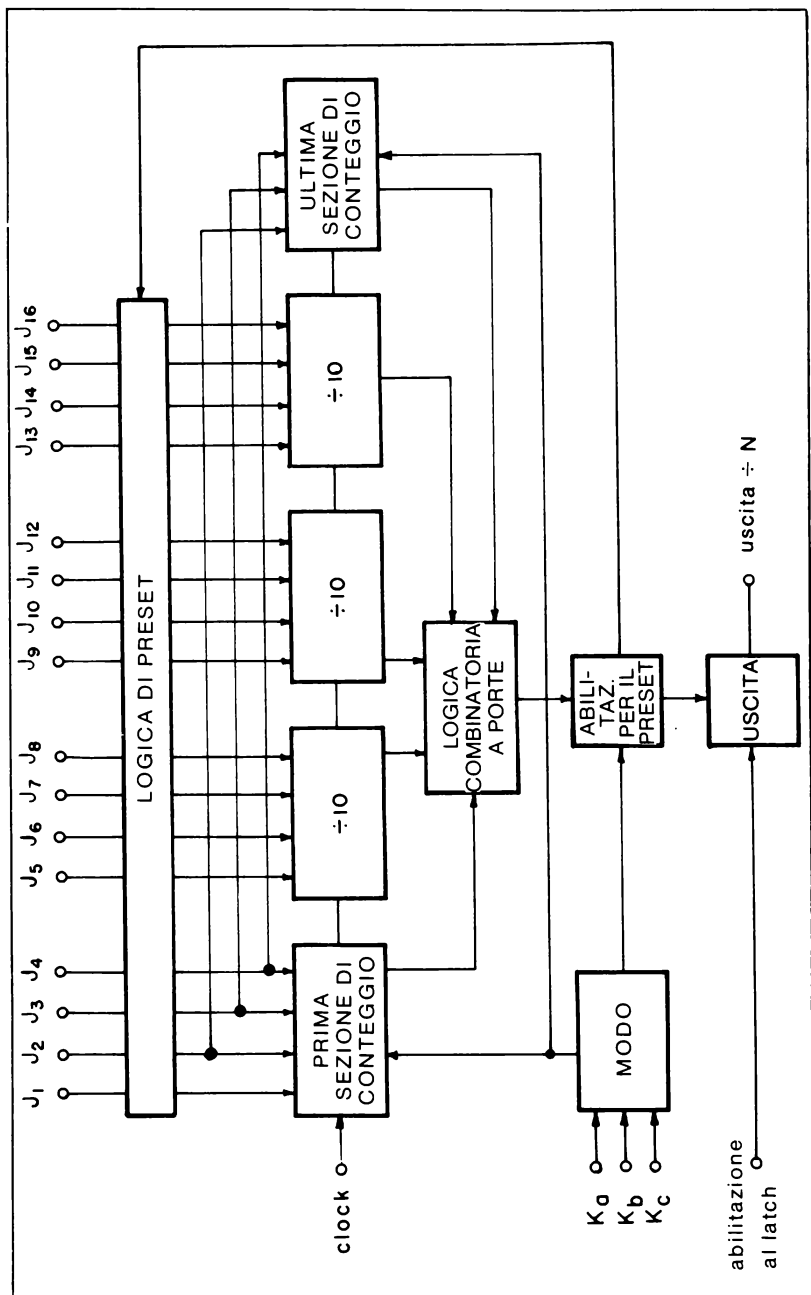



Fig. 6-24. Schema a blocchi del 4059.

MODE SELECT (5) INGRESSI JAM

$K_a = 1$ | $J1 = 1$ } Resto (3)
$K_b = 0$ | $J2 = 1$
$K_c = 1$ | $J3 = 0$
| $J4 = 1$ } MSB (1)

in modo che tutti gli ingressi JAM siano pertanto posizionati a

	Resto	*MSB*	*Centinaia*	*Decine*	*Unità*
	J3 J2 J1	*J4*	*J16 J15 J14 J13*	*J12 J11 J10 J9*	*J8 J7 J6 J5*
	0 1 1	1	0 0 1 1	0 0 0 0	1 0 0 0
Valore decimale	3	1	3	0	8

Le configurazioni di cui sopra possono essere verificate come segue:

K = [MODE] x [(1000 x MSB) + (100 x Centinaia) + (10 x Decina) + (1 x Unità)] + (Resto)
= [5] x [(1000 x 1) + (100 x 3) + (10 x 0) + (1 x 8)] + (3)
= 6543

Di conseguenza, la frequenza di uscita sarà 1/(6543 + 1) cioè 1/6544 di quella d'ingresso. D'altra parte, il MODE del primo contatore avrebbe potuto facilmente essere posizionato a 4 in modo tale da fornire 6543:4 = 1635 con resto di 3. Perciò,

MODE SELECT (4) INGRESSI JAM

$K_a = 1$ | $J1 = 1$ } Resto (3)
$K_b = 0$ | $J2 = 1$
$K_c = 1$ | $J3 = 0$
| $J4 = 1$ } MSB (1)

Cosicchè tutti gli ingressi JAM sono allora posizionati a

	Resto	*MSB*	*Centinaia*	*Decine*	*Unità*
	J3 J2 J1	*J4*	*J10 J15 J14 J13*	*J12 J11 J10 J9*	*J8 J7 J6 J5*
	0 1 1	1	0 1 1 0	0 0 1 1	0 1 0 1
Valore decimale	3	1	6	3	5

Sintetizzatore di frequenza digitale HCTR 0320

L'HCTR 0320 (Hughes) è un dispositivo CMOS che contiene sia un divisore programmabile che un rilevatore fase/frequenza in un singolo micrologico a 28 terminali, come rappresentato in Fig. 6-25. Sebbene il

rilevatore fase/frequenza non sia pertinente a questo capitolo, una trattativa completa sui rilevatori di fase e sui sintetizzatori si può trovare nel libro "*La progettazione dei circuiti Phase Locked Loop (PLL) con esperimenti*", pubblicato nell'edizione italiana dalla Jackson Editrice.

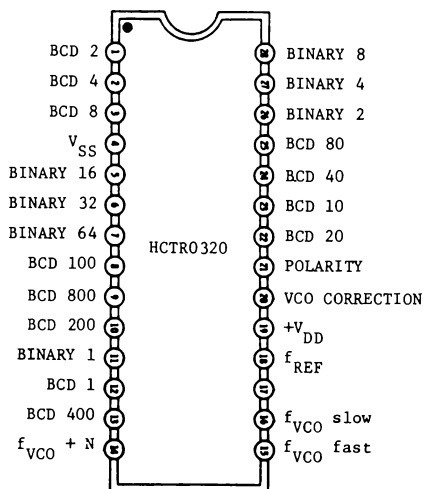



Fig. 6-25. Configurazione dei terminali del sintetizzatore di frequenza HCTR0320.

Questo componente, se utilizzato come contatore programmabile che divide per N, viene programmato sommando un numero N_{BCD} a tre cifre in BCD, compreso tra 0 e 999, ad un numero N_{BIN} a 7 bit, compreso tra 0 e 127 (cioè tra 0000000 e 1111111). Il modulo totale N è la somma di N_{BCD} e N_{BIN} ed è a sua volta compreso tra 3 e 1023.

Come si nota nello schema di Fig. 6-26, gli ingressi di programma-

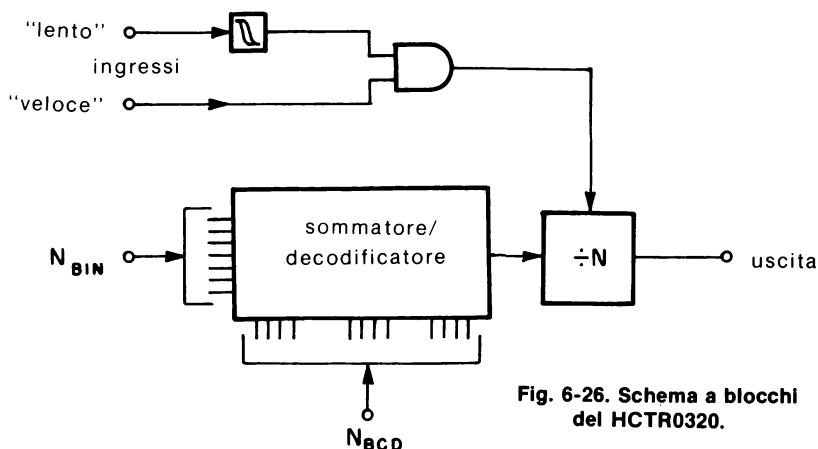



Fig. 6-26. Schema a blocchi del HCTR0320.

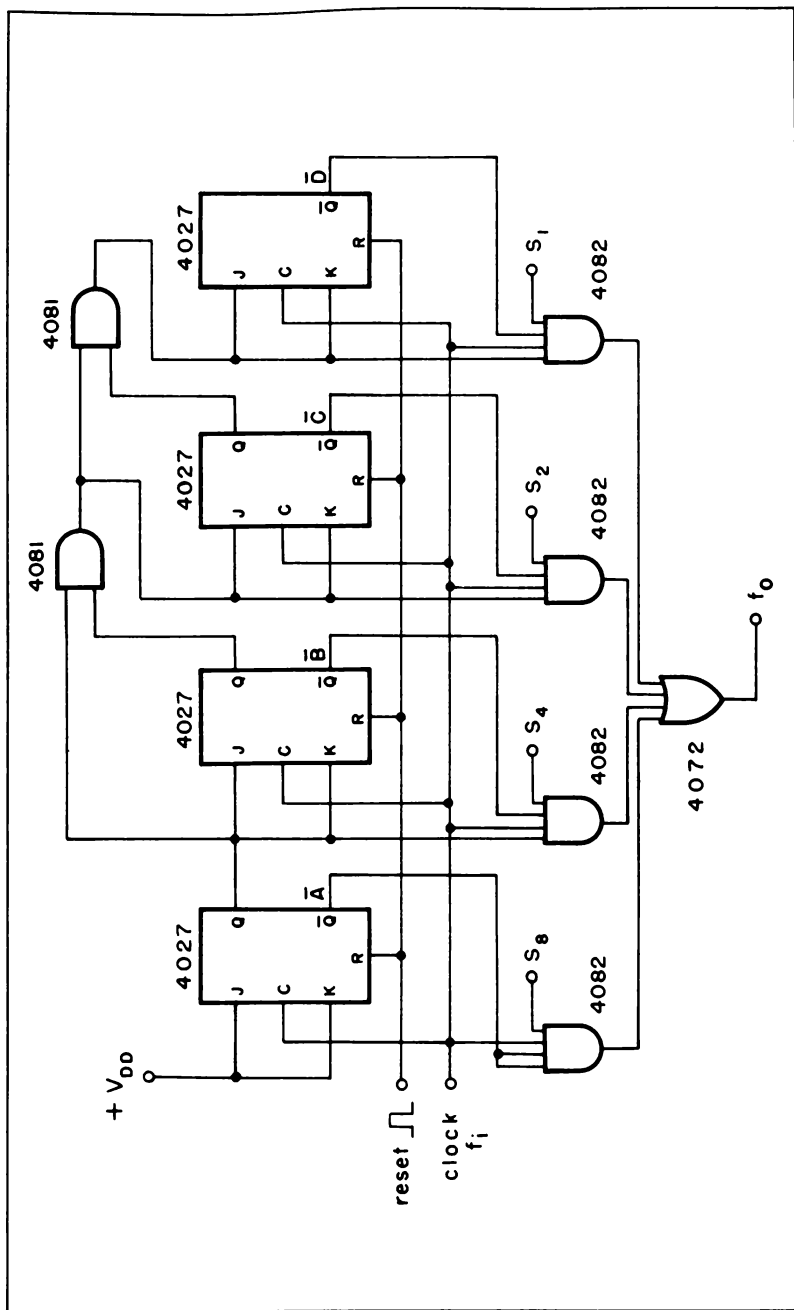



Fig. 6-27. Moltiplicatore di velocità utilizzante elementi logici.

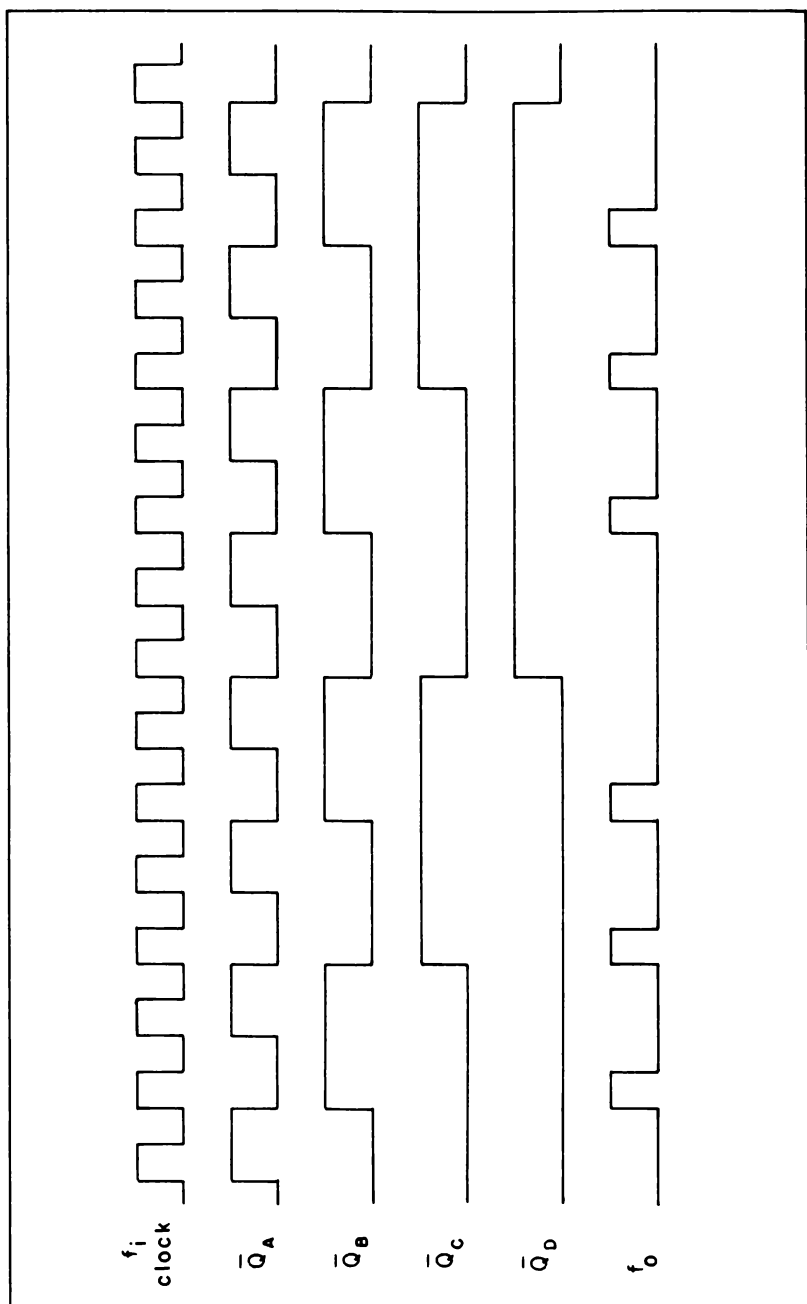



Fig. 6-28. Diagramma della temporizzazione del moltiplicatore di velocità.

zione binario e BCD vengono sommati e decodificati e il risultato inviato al divisore programmabile. L'uscita del divisore ha una frequenza che è $1/(N_{BCD} + N_{BIN})$ di quella di ingresso, e un ciclo utile che è pari a 1/N. Inoltre, ci sono due tipi di ingressi in frequenza. L'ingresso "veloce" al terminale 15 è l'unico ingresso compatibile con i TTL, e dovrebbe essere usato per comandi che hanno tempi di salita e di discesa rapidi, oppure quando si richiede la massima velocità. Altrimenti, per comandi con tempi di salita e di discesa piuttosto lenti (es. una sinusoide), l'ingresso "lento" (terminale 16) fa uso di trigger di Schmitt interno di adattamento. Le caratteristiche di questi due ingressi sono riassunte in Tabella 6-7.

Tabella 6-7. Caratteristiche d'ingresso del HCTR0320

Ingresso	Frequenza massima		Tempo di salita e di discesa dal 10 % al 90 %	
	$V_{DD} = 5$ V	$V_{DD} = 10$ V	$V_{DD} = 5$ V	$V_{DD} = 10$ V
"Veloce" (piedino 15)	5 MHz	10 MHz	100 ns	50 ns
"Lento" (piedino 16)	2.5 MHz	5 MHz	Nessun limite	Nessun limite

MOLTIPLICATORI DI VELOCITA'

Il "*moltiplicatore di velocità*" è un circuito contatore particolare che fornisce un treno di impulsi di uscita la cui frequenza è proporzionale al prodotto di due ingressi. Esso consiste in pratica di quattro flip-flop del tipo JK, come il 4027, di una coppia di porte AND a 2 ingressi (4081), di quattro porte AND a 4 ingressi (4082) e di una sola porta OR a 4 ingressi (4072), come si può osservare in Fig. 6-27.

Uno dei due ingressi richiesti è una frequenza di clock f_i, mentre l'altro è un moltiplicatore a 4 bit preprogrammato, che può essere binario o BCD. Per un moltiplicatore di velocità "*binario*", la frequenza di uscita f_o sarà pari a N/16 volte f_i, dove N è un numero binario a 4 bit compreso tra 1 e 15. Il moltiplicatore di velocità "BCD" ha una frequenza di uscita che varia da 1/10 a 9/10 della frequenza di ingresso. In entrambi i casi, la velocità di uscita è sempre inferiore a quella d'ingresso.

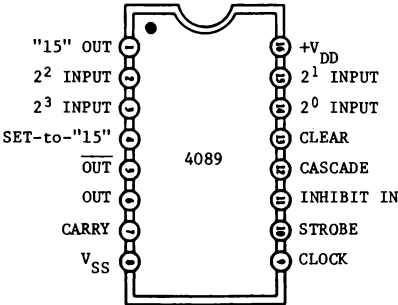



Fig. 6-29. Configurazione dei piedini del moltiplicatore di velocità binario 4089.

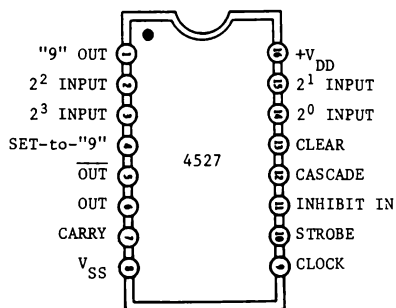



Fig. 6-30. Configurazione dei terminali del moltiplicatore di velocità BCD 4527.

Il diagramma di temporizzazione di Fig. 6-28 dimostra come si ottiene un valore per $f_o = (6/16)\, f_i$, quando gli ingressi di programmazione 2^2 e 2^1 sono a livello logico 1 e gli ingressi 2^3 e 2^0 sono invece a 0. Da questo diagramma si può notare che l'uscita del moltiplicatore consiste di impulsi che sono "*non parimente spaziati*", benchè ci siano 6 impulsi di uscita ogni 16 di ingresso. Di conseguenza, si deve riconoscere che la velocità di uscita è una velocità "*media*", in modo che c'è sempre un errore di "*approssimazione*". Tuttavia si può ridurre questo errore aumentando la capacità di bit di moltiplicatore.

Il 4089 (Fig. 6-29) è un moltiplicatore di velocità binario, mentre il 4527 (Fig. 6-30) è un moltiplicatore BCD. Ciascuno di essi contiene internamente un contatore sincrono a 4 bit che, tramite le configurazioni presenti ai quattro ingressi binari o BCD RATE SELECT, riesce a produrre uno specifico treno di impulsi in uscita. Gli ingressi INHIBIT IN, CASCADE, STROBE, CLEAR e SET-to-"9" (per il 4527) o SET-to"15" (per il 4089) sono normalmente a livello logico 0.

Come illustrato in Fig. 6-31, due o più moltiplicatori di velocità binari 4089 vengono collegati in "*serie*"; per questa configurazione la velocità

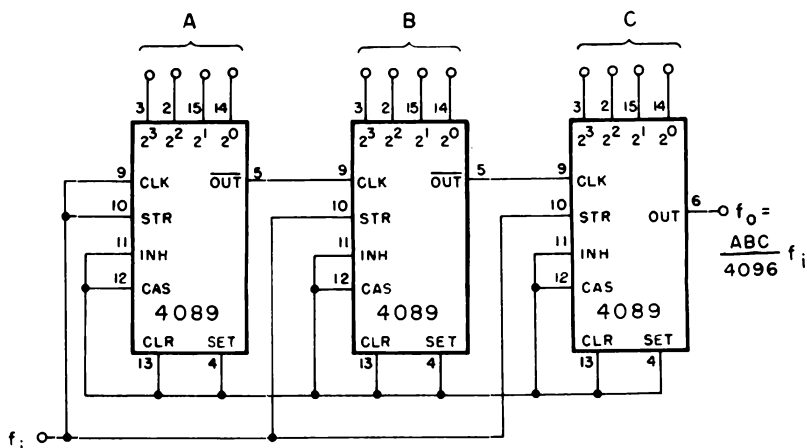



Fig. 6-31. Moltiplicatori di velocità collegati in serie.

di uscita è dalla relazione generalizzata

$$f_o = \frac{A \cdot B \cdot C \cdot \cdot \cdot \cdot N}{2^n}(f_i) \qquad \text{(Eq. 6-1)}$$

I numeri A, B, ecc. sono gli equivalenti decimali del codice a 4 bit per ciascuna sezione 4089, e "n" è il numero di bit. Se sono connessi in serie tre 4089, allora "n" è pari a $2^{(3)(4)}$, cioè 4096. Quindi i numeri A, B e C individualmente sono qualsiasi numero compreso fra 1 e 15. Di conseguenza la massima frazione della frequenza di ingresso è in questo caso 3375/4096.

Se si usa il 4527, i circuiti vengono collegati in "*parallelo*", come in Fig. 6-32 per formare un moltiplicatore multibit. La velocità di uscita è

$$f_o = \frac{A}{10^n}(f_i) \qquad \text{(Eq. 6-2)}$$

dove A è il numero BCD ed "*n*" è il numero di stadi in parallelo. Se vengono collegati in parallelo due moltiplicatori di velocità 4527, allora A può essere compreso tra 1 e 99 e il denominatore della equazione 6-2 ha valore 100. Come conseguenza, la velocità di uscita può variare da 0,01 a 0,99 volte la velocità di ingresso f_i, dipendendo dalla configurazione degli ingressi di programmazione. I circuiti seguenti illustreranno come si possono usare moltiplicatori di velocità per eseguire una varietà di funzioni matematiche. Ulteriori dettagli concernenti il 4089 e il 4527 sono descritti completamente nelle Note Applicative della RCA INCAN-6739, "*COS/MOS Rate Multipliers-Versatile Circuits for Synthesizing Digital Functions*", di Gary J. Summers.

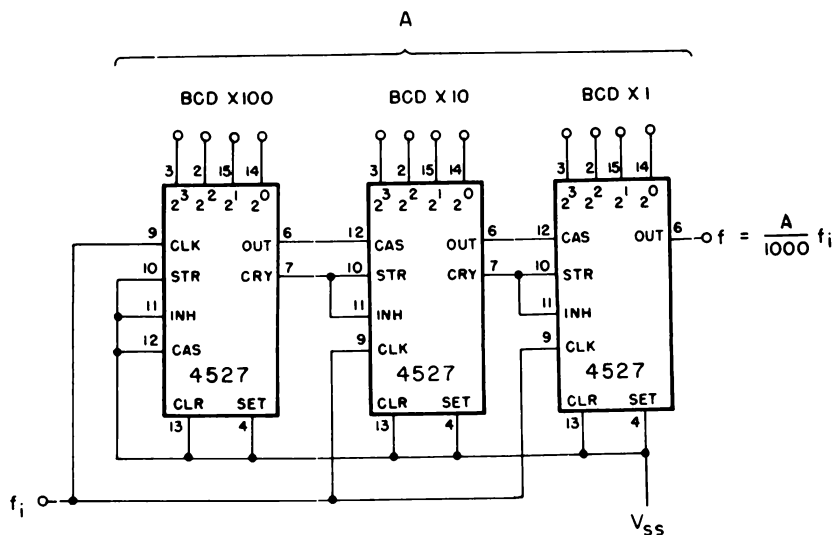



Fig. 6-32. Moltiplicatori di velocità collegati in parallelo.

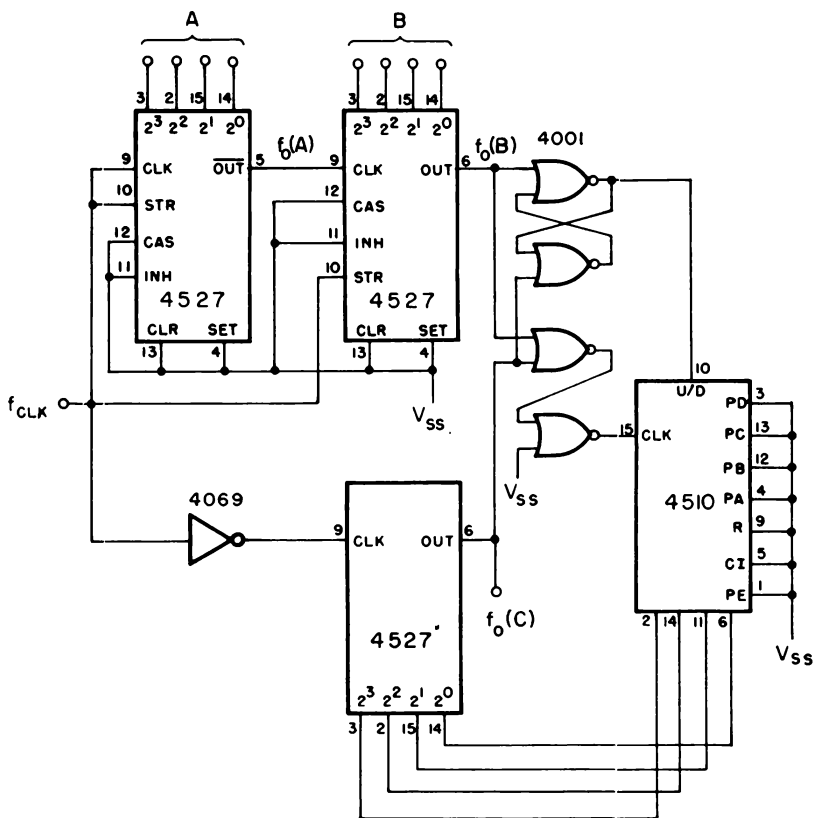



Fig. 6-33. Moltiplicazione di due numeri a 4 bit.

Moltiplicazione

Utilizzando tre o più moltiplicatori e un contatore avanti/indietro (4510 oppure 4516), si può ottenere il prodotto di due o più variabili. Il prodotto non è in termini di una frequenza di uscita, quanto piuttosto un numero binario o BCD che può essere decodificato per comandare un display LED a 7 segmenti.

Mediante il circuito di Fig. 6-33, si possono programmare due variabili a 4 bit, A e B (binarie o BCD), in modo tale che l'uscita a 4 bit del contatore avanti/indietro risulta

$$N = \frac{A \cdot B}{k} \qquad \text{(Eq. 6-3)}$$

dove K vale 10 se si usa il 4527 oppure 16 nel caso del 4089. L'analisi del funzionamento di questo circuito può essere compresa, supponendo di utilizzare il moltiplicatore di velocità BCD 4527 e il contatore avanti/in-

dietro BCD 4510. L'uscita del moltiplicatore 4527 programmato con il numero "A" a 4 bit BCD vale

$$f_o(A) = \frac{A}{10}(f_{CLK}) \qquad \text{(Eq. 6-4)}$$

Allo stesso modo, l'uscita del moltiplicatore programmato con il numero "B" a 4 bit BCD vale

$$f_o(B) = \frac{B}{10} f_o(A)$$

$$= \frac{A \cdot B}{100}(f_{CLK}) \qquad \text{(Eq. 6-5)}$$

Naturalmente questi due moltiplicatori di velocità vengono collegati in serie, come si è visto precedentemente in Fig. 6-31, ma usando il 4089. La velocità di uscita del rimanente 4527 vale

$$f_o(C) = \frac{N}{10}(f_{CLK}) \qquad \text{(Eq. 6-6)}$$

dove il numero N è determinato dall'uscita a 4 bit del contatore avanti/indietro 4510 (equazione 6-3), oppure

$$f_o(C) = \frac{A \cdot B}{10}(f_{CLK})$$

La coppia di porte NOR in alto nello schema (4001), che sono accoppiate in croce tra di loro, converte le uscite dei moltiplicatori di velocità "A" e "C" in un segnale che informa il contatore 4510 se contare in avanti o indietro. L'uscita "B" controlla il conteggio in avanti, mentre quella "C" controlla il conteggio indietro. Allorchè queste due uscite cambiano, il 4510 conta in avanti o indietro finchè la rete si stabilizza, nel qual caso risulta

$$f_o(B) = f_o(C)$$

$$\frac{A \cdot B}{100}(f_{CLK}) = \frac{N}{10}(f_{CLK})$$

dalla quale si può ottenere che

$$N = \frac{A \cdot B}{10} \qquad \text{(Eq. 6-7)}$$

Rapporti di frequenza

Usando un paio di moltiplicatori di velocità BCD (o binari) e un contatore avanti/indietro BCD (o binario) in una rete chiusa come in Fig. 6-34, si può calcolare il rapporto di due frequenze d'ingresso, f_1 e f_2. Questa tecnica è alla base di diversi sistemi di misura, come gli indicatori "miglia/galloni".* Dato che due frequenze d'ingresso sono solitamente

---

*Summers, G.J. "Miles/Gallon Measurement Made Easy with CMOS Rate Multipliers", EDN, 20 gennaio 1976, pp. 61-63.

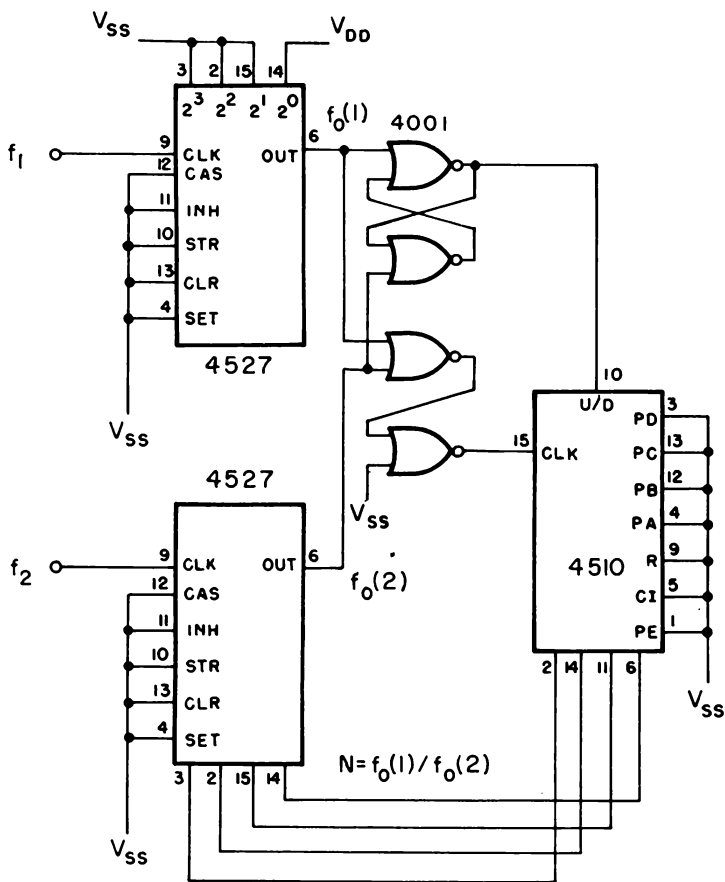



Fig. 6-34. Determinazione del rapporto di due frequenze.

asincrone, bisogna badare a che i due ingressi non coincidano. La Fig. 6-35 rappresenta un circuito semplice che esclude quest'eventualità, dato che usa una frequenza di clock che è almeno quattro volte più veloce della più alta f_1 oppure f_2.

Uno dei moltiplicatori di velocità, i cui ingressi di programma sono posizionati a DCBA =0001, vale a dire "1" decimale, ha come velocità di uscita

$$f_o(1) = \frac{f_1}{10} \qquad \text{(Eq. 6-8)}$$

La velocità di uscita del secondo moltiplicatore di velocità, i cui ingressi di programma sono determinati dall'uscita N a 4 bit del contatore avanti/indietro è

$$f_o(2) = \frac{Nf_2}{10} \qquad \text{(Eq. 6-9)}$$

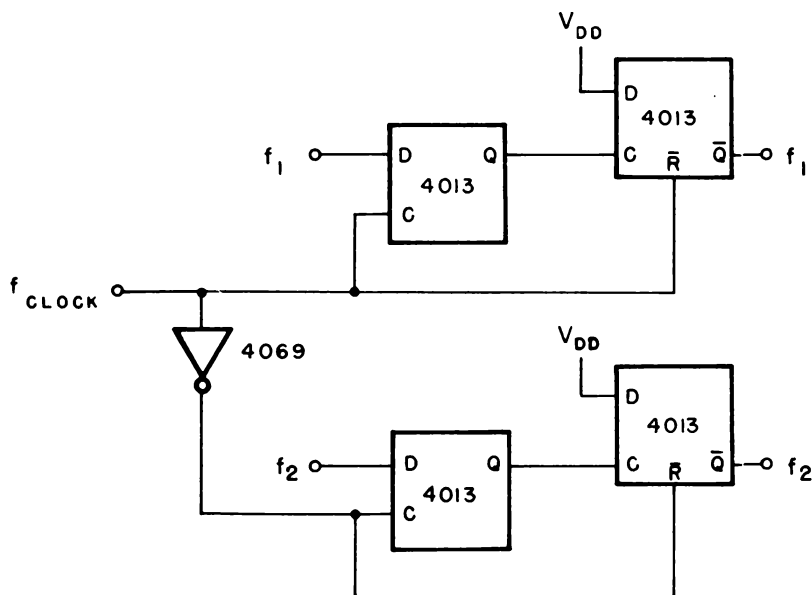



Fig. 6-35. Eliminazione delle coincidenze di forme d'onda.

Quando finalmente la rete si stabilizza, le due velocità di uscita sono eguali in modo che

$$f_o(1) = f_o(2)$$

$$\frac{f_1}{10} = \frac{Nf_2}{10}$$

vale a dire

$$N = \frac{f_1}{f_2} \qquad \text{(Eq. 6-10)}$$

GENERAZIONE DI FORME D'ONDA

Benchè vengono frequentemente adoperati amplificatori operazionali od altri circuiti integrati particolari per generare forme d'onda periodiche come quelle sinusoidali, quelle triangolari e quelle a denti di sega, si possono utilizzare alternativamente i contatori CMOS per ottenere queste forme d'onda, con risultati rispettabili.

Il principio per la generazione di onde sinusoidali è stato descritto in una pubblicazione da A.C. Davies,* e fa uso di un filtro digitale trasversale o non periodico.

Mediante contatori CMOS binari di tipo ripple e a passo variabile (Johnson), si possono ottenere gli stessi risultati. Sommando opportu-

*Davies A.C., "Digital Generation of Low Sine Waves", *IEEE Transactions on Instruments and Measurements, Vol. 1M-18, No. 2, Giugno, 1969, pp. 97-105.*

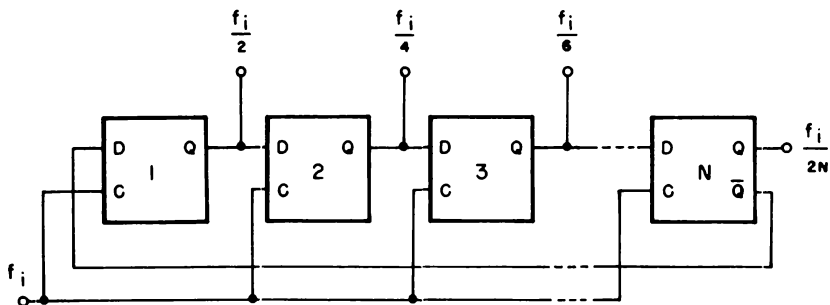



Fig. 6-36. Contatori multistadio a passo variabile.

namente le uscite del contatore, che sono frazioni binarie dell'ingresso con ritardi diversi, si possono filtrare le principali armoniche del clock d'ingresso ad onda quadra, lasciando in tal modo la sola componente fondamentale con diverse armoniche di più alto ordine. L'uscita è pertanto un'onda sinusoidale approssimata "a gradini", cioè "spezzata".

Come risulta in Fig. 6-36, si può creare un contatore a più stadi a passo variabile con dei flip-flop di tipo D, come il 4013 o il 74C74. Per N flip-flop (stadi), la frequenza di uscita presente a una qualsiasi delle uscite Q dei flip-flop sarà pari a 1/2N volte la frequenza d'ingresso. Di conseguenza, se si usano 5 stadi, la frequenza di uscita sarà 1/10 di quella d'ingresso. Se cambia la frequenza di clock all'ingresso, anche quella d'uscita farà la stessa cosa. Utilizzando delle resistenze, le uscite di N-1 stadi vengono allora sommate per generare L'onda sinusoidale, come è rappresentato in Fig. 6-37 per contatore a 4 stadi.

Secondo la matematica di Davies, le resistenze di calibratura vengono determinate dalla formula generale

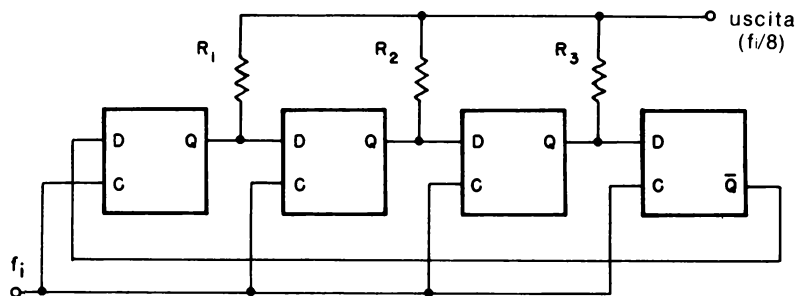



Fig. 6-37. Generatore di forma d'onda sinusoidale a quattro stadi.

$$R_N = \left(\frac{\frac{\sin(k)\pi}{N}}{\sin(\pi/N)} \right) (R_1) \qquad k = 1, 2, 3, 4 \ldots (N\text{-}1)$$
(Eq. 6-11)

L'armonica più bassa non eliminata è la (2N-1)-esima che ha una ampiezza di

$$dB = 20 \log_{10} \left(\frac{1}{(2N-1)} \right) \qquad \text{(Eq. 6-12)}$$

rispetto alla fondamentale. Per il generatore d'onda sinusoidale a 4 stadi mostrato in Fig. 6-37, i valori delle resistenze relative ad R_1 sono allora

$$R_1/R_1 = 1.000$$
$$R_2/R_1 = 1.414$$
$$R_3/R_1 = 1.000$$

L'armonica non eliminata più bassa è la settima. Se la frequenza del clock all'ingresso è 10 kHz, allora l'onda sinusoidale di uscita avrà una componente fondamentale di 10 kHz/8 (1250 Hz) e l'armonica non eliminata più bassa è la settima, che è una frequenza di 8750 Hz. Alla settima armonica, l'ampiezza sarà 1/7 della fondamentale, o -16,9 db. Per la maggior parte dei circuiti, sono sufficenti resistenze con tolleranza del 5%. Se si usa una resistenza di 27 kΩ per R_1 e per R_3, allora è necessaria una resistenza di 39 Ω per R_2. Al posto dei flip-flop discreti di tipo D, si possono adoperare contatori CMOS a passo variabile, quali il 4018, com'è dimostrato dal circuito a 5 stadi di Fig. 6-38A. Tuttavia la rassomiglianza con un'onda sinusoidale non è molto buona (Fig. 6-38B). Una delle possibili soluzioni è quella di aumentare il numero di stadi, vale a dire il numero di gradini per ciclo, ma questo metodo ha lo svantaggio di dover aggiungere più resistenze, oltre a più contatori o flip-flop. Inoltre la forma d'onda risultante possederà dei "fronti irregolari".

Un altro sistema è quello di aggiungere un filtro attivo passa-basso all'uscita del generatore, come in Fig. 6-39. La frequenza di taglio del filtro deve essere ben al di sotto della più bassa armonica non eliminata in modo che sia in pratica cancellata la presenza di quest'ultima dal segnale di uscita. Si possono trovare le informazioni sul progetto di filtri attivi nel libro "*La progettazione dei filtri attivi, con esperimenti*" edito nella versione italiana dalla Jackson Editrice oppure in "*Active Filter Cookbook*", pubblicato da Howard W. Sams & Co., Inc.

Oltre al contatore 4018, si possono usare contatori binari di tipo ripple come il 4024, o un qualsiasi altro di quelli elencati in Tabella 6-1, per dare origine ad onde sinusoidali. Come si può notare dalla Fig. 6-40, in cui un contatore 4024, utilizzante 3 stadi, con un paio di porte OR esclusivo 4070 realizza un generatore a 4 stadi.

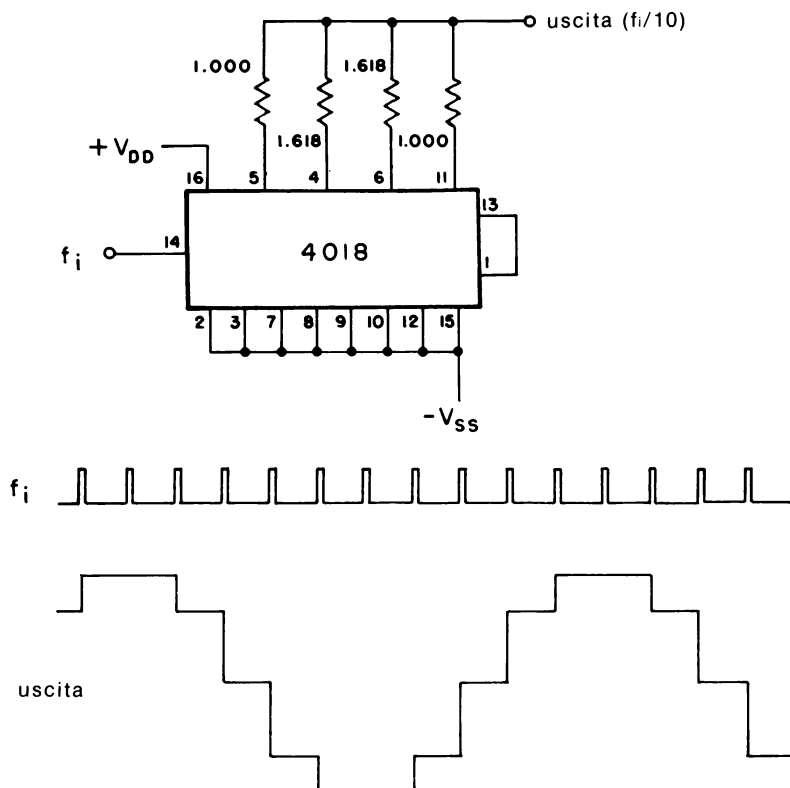



Fig. 6-38. Generatore di forma d'onda sinusoidale a cinque stadi utilizzante un contatore 4018.

È interessante notare la neccessità di due sole resistenze invece di tre. Un circuito a 8 stadi con un contatore 4024, due porte OR esclusivo 4070 e un multiplex analogico è riportato in Fig. 6-41; questo circuito è già stato descritto in una pubblicazione del 1975 di "*Electronics*"*

Con un contatore 4029 (Fig. 6-42), è possibile generare onde triangolari, con l'aiuto di una rete a scala ("ladder") R-2R. Quando il 4029 viene portato al suo conteggio finale, determinato dal posizionamento degli ingressi PRESET, il segnale CARRY OUT (CO) si porta da alto a basso ed invertito viene usato come clock del flip-flop di tipo D. Questa attivazione del clock cambia il modo di conteggio, in avanti oppure indietro, del 4029. Quando il 4029 raggiunge lo 0 (DCBA = 0000), il segnale CO fa commutare il flip-flop, in modo che il contatore conta in avanti ogni altra volta che viene attivato l'ingresso di clock del flip-flop.

---

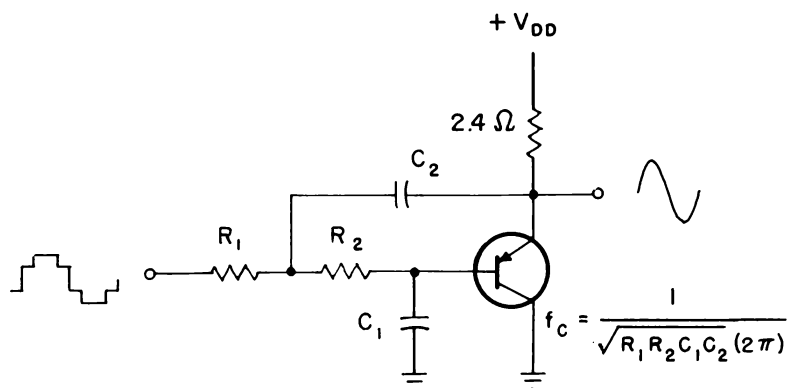
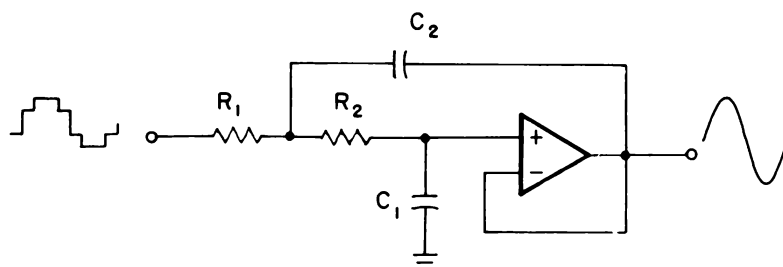
*Mc Guire, P.L., "Digital Pulses Synthesize Audio Sine Waves", *Electronics,* 2 ottobre 1975, pp. 104-105.

(A) Transizione positiva del clock di ingresso.

(B) Transizione negativa del clock di ingresso.

Fig. 6-39. Filtri passa-basso attivi.

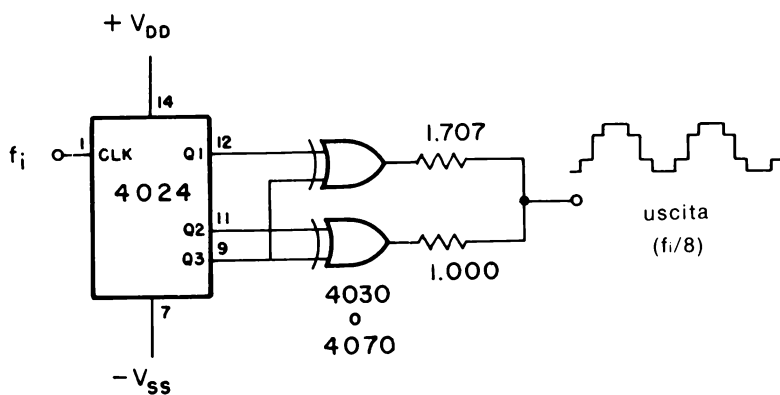



Fig. 6-40. Generatore di forma d'onda sinusoidale a quattro stadi utilizzante un contatore binario di tipo ripple 4024.

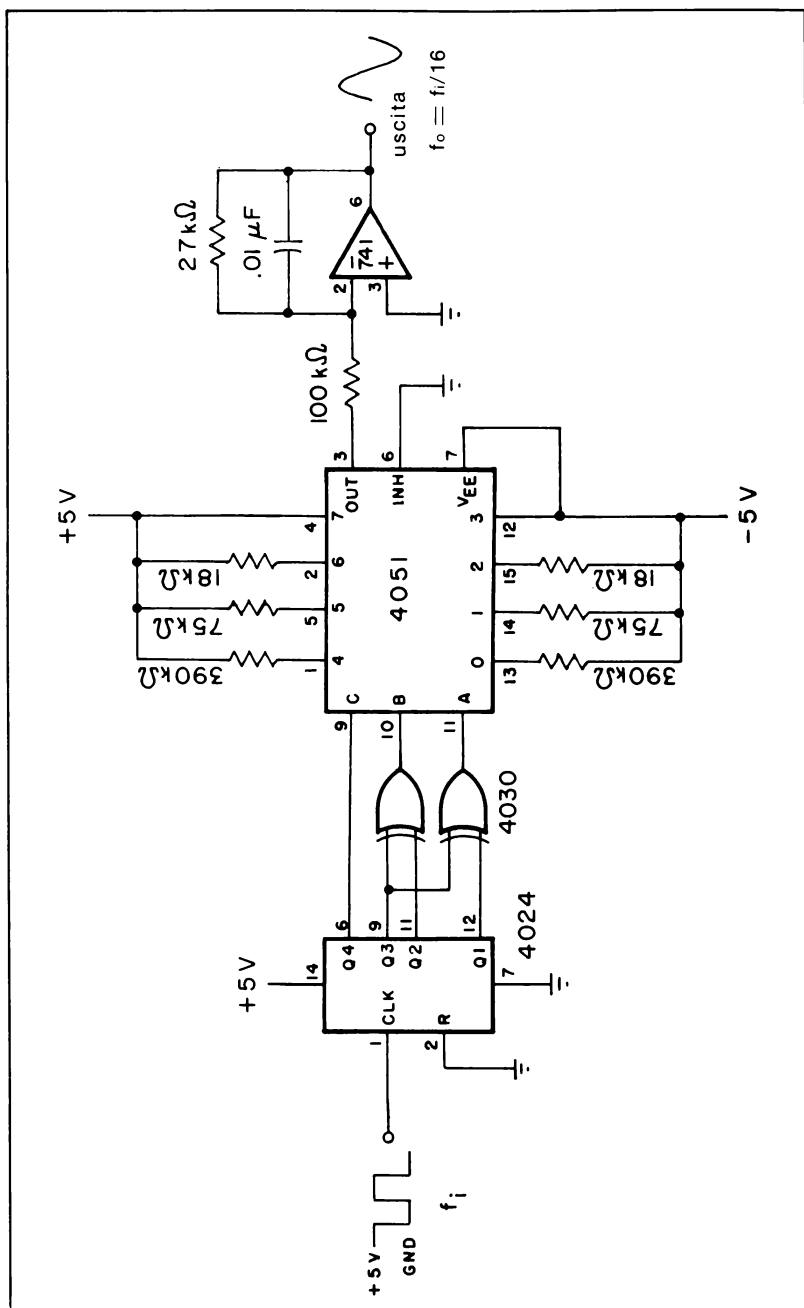



Fig. 6-41. Generatore di forma d'onda sinusoidale a otto stadi.

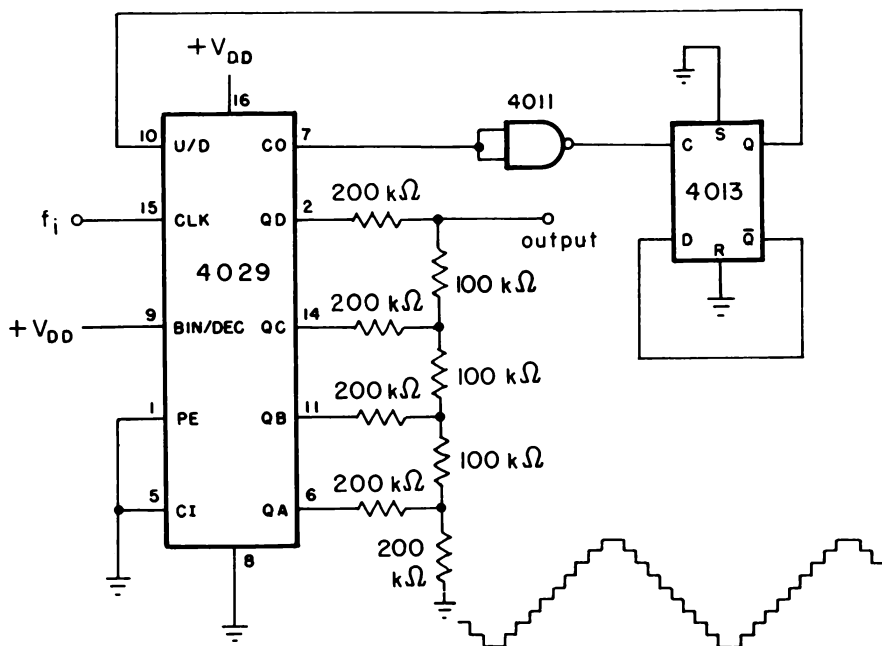



Fig. 6-42. Generatore di forma d'onda triangolare.

Come rappresentato in Fig. 6-43, una rete "ladder" usata con porte di trasmissione 4016, con invertitori 4049, e con un contatore binario in avanti 4520, può generare un'onda a denti di sega sotto forma di 16 gradini eguali di tensione da terra alla tensione positiva di alimentazione.

INTRODUZIONE AGLI ESPERIMENTI

Gli esperimenti che seguono hanno la funzione di dimostrare il comportamento di alcuni tipi di contatori sincroni e binari di tipo ripple, fissi e programmabili. Inoltre, si dimostrerà come si possono collegare i contatori a passo variabile, come il 4018, onde ottenere forme d'onda periodiche di frequenza nota, ad esempio onde sinusoidali. Gli esperimenti da eseguire possono essere così riassunti:

Esperimento N°	*Scopo*
1	Dimostrare il funzionamento di un 4022, contatore/divisore 1 su 8
2	Dimostrare come si può collegare il 4017, contatore 1 su 10, per dividere una frequenza d'ingresso per un numero intero qualsiasi da 2 a 10

Fig. 6-43. Generatore di forma d'onda a dente di sega.

3 Dimostrare il funzionamento del contatore avanti/indietro programmabile 40192/74C192

4 Dimostrare il funzionamento del sintetizzatore di frequenza di Hughes HCTR 0320 quale contatore programmabile

5 Dimostrare il progetto e il funzionamento di un generatore sinusoidale realizzato con un contatore di Johnson a 5 stadi 4018.

ESPERIMENTO 1

Scopo

Questo esperimento dimostra il funzionamento del 4022, un contatore/divisore 1 su 8.

Configurazione dei terminali del circuito integrato (Fig. 6-44)

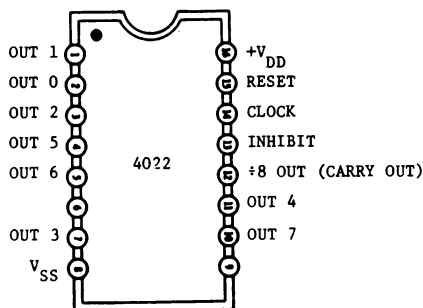



Fig. 6-44.

Schema del circuito (Fig. 6-45)

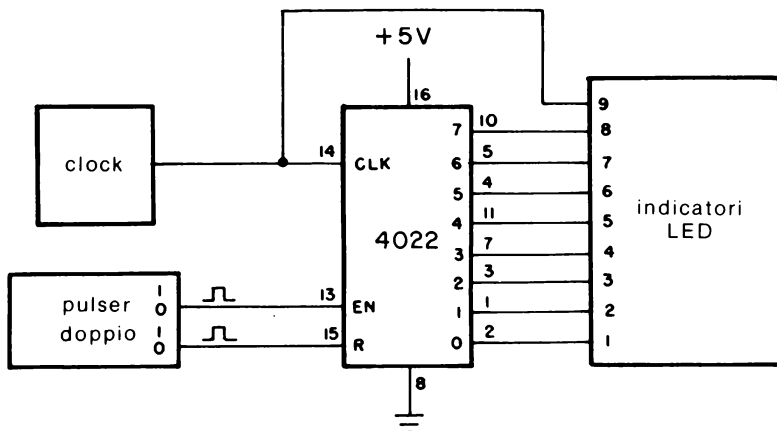



Fig. 6-45.

Passo 1

Collegare il circuito nel modo rappresentato nello schema. Si avrà bisogno di nove visualizzatori LED, uno per ogni uscita decodificata e uno per il clock d'ingresso.

Passo 2

Applicare l'alimentazione alla piastra e regolare la frequenza del clock d'ingresso in modo che il visualizzatore LED N° 9 si accenda circa una volta ogni secondo. Descrivere cosa accade agli otto visualizzatori LED collegati alla uscite decodificate.

I visualizzatori si accendono sequenzialmente per un periodo di clock. Dopo che il LED N° 8 si spegne, si accende il N° 1 e il ciclo si ripete. Le otto uscite decodificate sono normalmente al livello logico 0 cosicchè i visualizzatori sono spenti, e diventano alte solamente nella loro porzione di tempo relativa, rimanendo a questo livello per un intero periodo di clock.

Passo 3

Durante la sequenza di conteggio, premere il generatore d'impulsi (pulser) collegato al RESET del 4022, in modo da portare al livello 1 il terminale 15. Cosa si osserva sui visualizzatori?

Quando si preme il pulser, si dovrebbe accendere solo il LED N° 1, indicando che il contatore è stato portato a zero, indipendentemente da quale LED era acceso prima dell'azionamento del pulser. Provare ciò diverse volte. Si dovrebbe osservare che ogni volta che si disattiva il pulser, il conteggio comincia da zero con il LED N° 1 acceso.

Passo 4

Mentre i visualizzatori LED stanno pulsando, pigiare il pulser collegato all'ingresso CLOCK ENABLE, cosicchè il terminale 14 è al livello logico 1. Cosa si osserva sui visualizzatori?

Quando si ripreme il pulser, cessa la sequenza dei visualizzatori LED ora disattivare il pulser. Che avviene?

Quando si disattiva il pulser, la sequenza di accensione dei LED riprende esattamente dal punto in cui era stata interrotta dalla disabilita-

zione del contatore. Conseguentemente, un livello logico 1 blocca, cioè evita, che il contatore continui la sequenza di conteggio.

ESPERIMENTO 2

Scopo

Questo esperimento dimostra come si possa collegare il 4017 contatore 1 su 10, per dividere una frequenza d'ingresso per un numero intero qualsiasi da 2 a 10.

Passo 1

Collegare il circuito rappresentato nello schema e quindi applicare l'alimentazione alla piastra. Se non si usa un riferimento di frequenza controllato da un cristallo di 10 kHz, usare un'onda quadra di un generatore di funzione, la cui tensione vari tra massa e +5 V e regolare la frequenza presente al terminale 14 con un frequenzimetro fino ad otte-

Configurazione dei terminali del circuito integrato (Fig. 6-46)

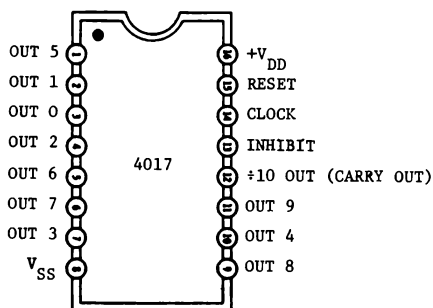



Fig. 6-46.

Schema del circuito (Fig. 6-47)

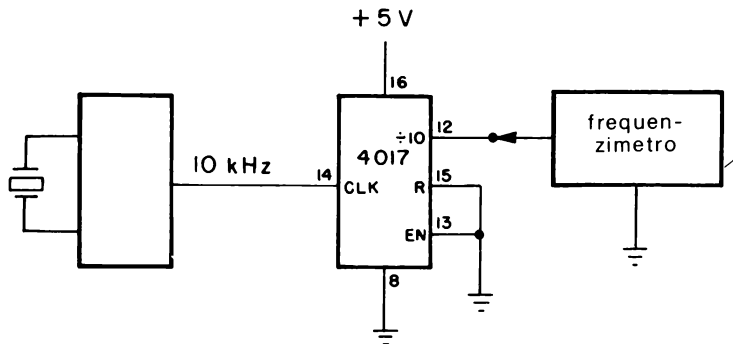



Fig. 6-47.

nere un valore il più vicino possibile a 10 kHz. Misurando con il vostro frequenzimetro, qual'è la frequenza di uscita al terminale 12?

La frequenza di uscita dovrebbe essere 1 kHz, ovvero 1/10 della frequenza di ingresso, dato che il terminale 12 è ÷ 10 OUTPUT (CARRY OUT).

Passo 2

Ora collegare in sequenza il frequenzimetro ai terminali 1, 2, 3, 4, 5, 6, 7, 9, 10 e 11. Cosa si misura?

Si dovrebbe misurare in ciascun terminale la stessa frequenza misurata al punto 1, ossia 1 kHz. L'unica differenza è che l'uscita al terminale 12 è un'onda quadra simmetrica, mentre l'uscita di questi terminali è a livello alto per la durata di un ciclo di clock, con un ciclo utile del 10%.

Passo 3

Scollegare il riferimento di frequenza dal circuito e togliere l'alimentazione alla piastra. Ora connettere il terminale OUT 2 (terminale 4) al terminale RESET (terminale 15) e collegare il frequenzimetro al terminale OUT 0 (terminale 3). Fornire l'alimentazione alla piastra e ricollegare il riferimento di frequenza al terminale 14 come prima. Che frequenza si misura al terminale 3?

La frequenza dovrebbe essere 5 kHz, ovvero metà della frequenza d'ingresso. A partire dal conteggio zero, ogni uscita decodificata va sequenzialmente a livello alto per un periodo di clock, come nel precedente esperimento che faceva uso del contatore 4022. Dopo due periodi di clock, l'impulso in uscita dal terminale OUT 2, ossia il terminale 4, va a livello alto e, in altre parole, azzera il contatore. Di conseguenza, il contatore viene azzerato ogni due cicli all'ingresso, fornendo un semplice circuito divisore per 2.

Passo 4

Scollegare l'alimentazione dalla piastra. Ora unire il terminale 15 al 17 invece che al 4. Riapplicare l'alimentazione alla piastra. Qual'è ora la frequenza di uscita al terminale 3?

La frequenza di uscita dovrebbe essere 3,333 kHz, ovvero un terzo della frequenza d'ingresso. Collegando il RESET del contatore al termi-

Tabella 6-8. Registrazione della frequenza di uscita

RESET collegato a	Frequenza di uscita	Dividere per N
OUT 2 (piedino 4)	5.000 kHz	2
OUT 3 (piedino 7)	3.333 kHz	3
OUT 4 (piedino 10)		
OUT 5 (piedino 1)		
OUT 6 (piedino 5)		
OUT 7 (piedino 6)		
OUT 8 (piedino 9)		
OUT 9 (piedino 11)		

nale OUT 3, il 4017 viene ora azzerato ogni tre cicli d'ingresso, fornendo un circuito divisore per 3.

Passo 5

Misurare la frequenza di uscita unendo uno dopo l'altro l'ingresso RESET (terminale 15) alle uscite decodificate elencate in Tabella 6-8. Si dovrebbe scoprire come sia possibile dividere una frequenza per un qualsiasi numero intero da 2 a 10, utilizzando il contatore 4017.

ESPERIMENTO 3

Scopo

Questo esperimento dimostra il funzionamento del contatore avanti/indietro programmabile 40192,74C192.

Passo 1

Collegare il circuito secondo lo schema rappresentato, posizionando tutti e quattro gli interruttori logici al livello logico 0. Se non si ha un display a 7 segmenti compatibile coi CMOS, usare in sostituzione 4 visualizzatori LED, leggendo perciò l'uscita in codice binario (BCD).

Passo 2

Applicare l'alimentazione alla piastra. Che numero si osserva sul display?

Configurazione dei terminali del circuito integrato (Fig. 6-48)

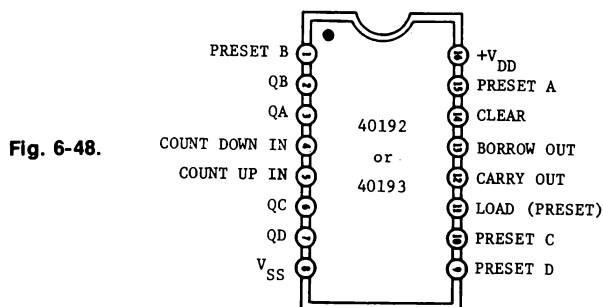
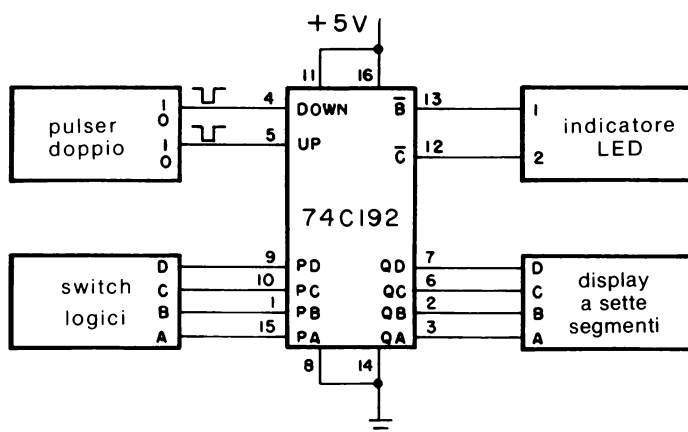



Fig. 6-48.

Schema del circuito (Fig. 6-49)

Fig. 6-49.

Quando viene fornita tensione inizialmente, potrebbe apparire qualsiasi numero, dipendendo ciò dallo stato iniziale della logica interna del contatore. Nel nostro caso, è apparso il numero "0". Inoltre , i visualizzatori LED N° 1 e N° 2 sono accesi e indicano che entrambe le uscite del contatore $\overline{\text{BORROW}}$ e $\overline{\text{CARRY}}$ sono al livello logico 1

Passo 3

Pigiare e rilasciare il generatore d'impulsi (pulser) collegato all'ingresso UP del contatore (terminale 5) alcune volte. Che cosa si osserva sul display quando si attiva e si disattiva più volte il pulser?

Si dovrebbe osservare che il display conta in avanti: 0, 1, 2, 3, ecc.

Passo 4

Continuare a premere e a rilasciare il pulser. Cosa accade al display a 7 segmenti e al visualizzatore LED N° 2 dopo che il conteggio supera il "9"?

Dopo che il contatore decadico raggiunge il suo massimo conteggio, cioè 9, il segnale $\overline{\text{CARRY}}$ viene indicato dal LED N° 2, si spegne per breve tempo e si riaccende di nuovo quando sul display si legge "0". Nel caso si siano collegati in cascata diversi contatori 40192, il segnale $\overline{\text{CARRY}}$ viene usato come ingresso di "conteggio in avanti" per la decade seguente.

Passo 5

Continuare a premere e rilasciare il pulser, finchè non appare sul display il numero "6". Ora attivare e disattivare il pulser collegato all'ingresso DOWN del contatore (terminale 4) per tre volte. Cosa si osserva sul display?

Si dovrebbe osservare che il display conta "a ritroso": 6, 5, 4, 3, ecc.

Passo 6

Pigiare e rilascire il pulser ancora 5 volte. Che avviene sul display a 7 segmenti e sul visualizzatore LED N° 1 dopo che il conteggio supera lo "0"?

Dopo che il contatore raggiunge il suo minimo conteggio cioè 0, il segnale $\overline{\text{BORROW}}$, come indicato dal LED N° 1, si spegne per breve tempo e si riaccende di nuovo quando sul display si legge "9". Nel caso siano collegati in cascata diversi contatori 40192, il segnale $\overline{\text{BORROW}}$ viene usato come ingresso di "conteggio indietro" per la decade seguente.

Passo 7

Togliere l'alimentazione alla piastra. Collegare ora il terminale 11 al 13 invece che alla tensione positiva di alimentazione. Inoltre, eliminare i seguenti collegamenti:

- L'impulsatore del terminale 5
- Il terminale 13 dal visualizzatore LED N° 1
- Il terminale 12 dal visualizzatore LED N° 2

Posizionare gli interruttori logici col seguente codice BCD: DCBA = 0111 e applicare l'alimentatore alla piastra. Che numero si vede sul display?

Potrebbe apparire di nuovo un numero qualsiasi, quando si applica inizialmente la tensione; questo dipende dallo stato della logica interna del contatore. Nel nostro caso è apparso il numero "4".

Passo 8

Pigiare il pulser parecchie volte fino a leggere "0" sul display. Azionare di nuovo il pulser. Quale numero appare ora sul display?

Quando si preme il pulser, il display dovrebbe brevemente visualizzare "7" e quindi "6" quando lo si rilascia. Quando il conteggio indietro oltrepassa lo zero, il contatore viene caricato in parallelo col numero BCD a 4 bit presente agli ingressi collegati con gli interruttori logici (0111 = 7). Quando il display visualizza il numero "6" , ci vogliono allora 7 periodi di clock all'ingresso (6, 5, 4, 3, 2, 1 e 0) finchè il contatore venga di nuovo caricato col numero BCD a 4 bit.

Passo 9

Scollegare ora l'alimentazione dalla piastra e portare un segnale di clock da 1 kHz al terminale 4. Applicare di nuovo tensione ed attività il generatore di funzione da 1 kHz. Posizionare gli interruttori logici a DCBA = 0001. Che frequenza si osserva?

Dato che gli interruttori logici sono posti a DCBA = 0001, vale a dire al numero decimale 1, la frequenza di uscita è la stessa d'ingresso, cioè 1 kHz.

Passo 10

Variare la configurazione degli interruttori logici secondo la Tabella 6-9 e registrare le frequenze di uscita per ogni configurazione. Dalle misure si dovrebbe concludere che la frequenza di uscita è quella frazione d'ingresso (1 kHz) determinata dall'equivalente decimale del codice BCD a 4 bit.

Si ottiene pertanto un contatore programmabile a 1 decade che è in grado di dividere una frequenza per un numero intero da 1 a 9.

Tabella 6-9. Registrazione della frequenza di uscita

D	C	B	A	N	Frequenza
0	0	0	1	1	1000 Hz
1	0	0	0		
0	1	0	1		
0	0	1	1		
0	1	0	0		
1	0	0	1		
0	1	1	1		

Passo 11

Qual'è la frequenza di uscita quando si posizionano gli interruttori logici a DCBA = 0000?

Dato che la divisione per 0 non è matematicamente definita, il contatore 40192 o 74C192 viene disabilitato, cosicchè la frequenza di uscita è la stessa dell'ingresso, cioè 1 kHz.

ESPERIMENTO 4

Scopo

Questo esperimento dimostra il funzionamento del HCTR0320 di Hughes come divisore programmabile.

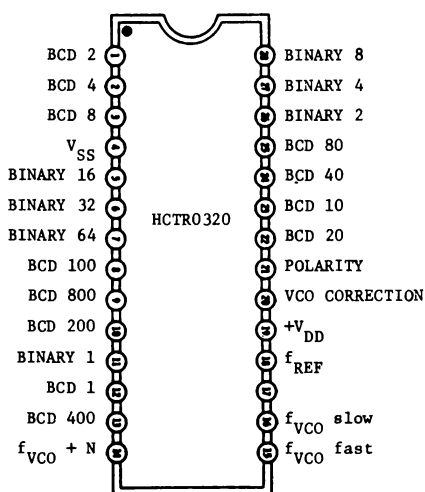
Formule di progetto

- Modulo binario: $0 \leqslant N_B \leqslant 127$
- Modulo BCD (decimale): $0 \leqslant N_D \leqslant 999$
- Modulo totale: $3 \leqslant N_D + N_B \leqslant 1023$

Passo 1

Il primo punto che dovrebbe essere messo in evidenza è che il HCTR0320 è un dispositivo relativamente costoso (circa 15.000 lire). Perciò bisogna prestare particolare cura quando lo si utilizza. Collegare il circuito rappresentato nello schema, con l'alimentazione e il riferimento di frequenza di 1 kHz sconnessi dalla piastra.

Configurazione dei terminali del circuito integrato (Fig. 6-50)

Fig. 6-50.

Schema del circuito (Fig. 6-51)

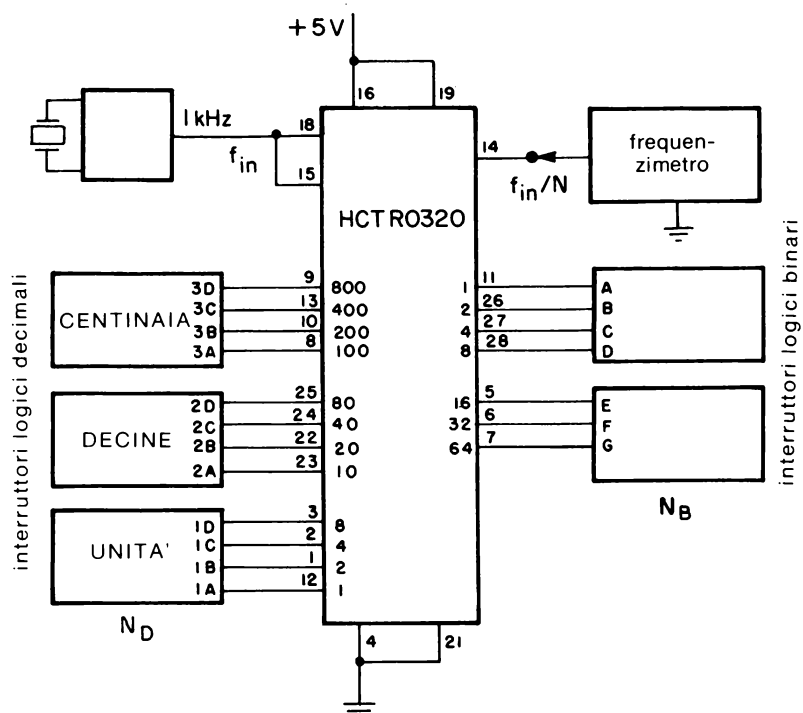



Fig. 6-51.

Se non si hanno sufficienti interruttori logici, utilizzare cavalletti per collegare gli ingressi di programmazione a +5 V (1 logico) o terra (0 logico) secondo bisogno.

Passo 2

Posizionare inizialmente gli interruttori logici "*binari*" con GFEDCBA =0000100, e tutti gli interruttori logici "*decimali*" al livello logico 0. Quindi applicare la tensione alla piastra e collegare il riferimento di frequenza di 1 kHz ai terminali 15 e 18. Collegare anche il frequenzimetro al terminale 14. Qual'è la frequenza di uscita?

Si dovrebbe misurare una frequenza in uscita pari a un quarto di quella d'ingresso, ossia 250 Hz, dato che gli interruttori logici binari sono posti a 0000100 (numero decimale 4)

Passo 3

Spostare gli interruttori logici binari secondo la Tabella 6-10 e registrare le frequenze di uscita misurate e i moduli binari.

Per le ultime 7 configurazioni, si dovrebbe aver misurato frequenze di 200, 83, 50, 29, 25, 15, 10 e 8 Hz (± 1 Hz), che corrispondono alle divisioni per 5, 12, 20, 35, 40, 65, 100 e 125 rispettivamente.

Passo 4

Ora portare la frequenza di ingresso a 100 kHz. Posizionare gli interruttori logici "*binari*" a GFEDCBA = 0000111 (7 decimale), quelli delle

Tabella 6-10. Registrazione della frequenza di uscita

G	F	E	D	C	B	A	Frequenza di uscita	Modulo
0	0	0	0	1	0	0	250 Hz	4
0	0	0	1	0	1	0		
0	0	1	0	1	0	0		
0	1	0	0	0	1	1		
0	1	0	1	0	0	0		
1	0	0	0	0	0	1		
1	1	0	0	1	0	0		
1	1	1	1	1	0	1		

Tabella 6-11. Registrazione della frequenza di uscita

Modulo binario	Modulo decimale			Modulo totale	Frequenza di uscita
	Centinaia	Decine	Unità		
7	0	7	3	80	
0	0	0	4	4	
1	0	0	4	5	
1	0	0	9	10	
9	0	1	1	20	
2	2	4	8	250	
4	4	9	6	500	
15	4	9	6	511	

"*unità decimali*" al codice DCBA = 0011 (3 decimale), quelli delle "*decine decimali*" a DCBA = 0111 (7 decimale), quelli delle "*centinaia decimali*" a DCBA = 0000 (0 decimale). Di conseguenza, il modulo decimale totale è di 073. Per trovare il modulo totale N, si somma il modulo binario a quello decimale. Per le configurazioni degli interruttori logici qui considerate, qual'è il modulo programmato?

Il modulo totale è 80. Poichè gli interruttori binari sono posti a 7 e quelli decimali a 73, il modulo totale è 7 + 73, ovvero 80. Cambiare ora sia gli interruttori logici decimali che quelli binari secondo la Tabella 6-11 e registrare le frequenze di uscita misurate. Il modulo viene fornito sotto forma di numero decimale. A questo punto si dovrebbe essere in grado di posizionare gli interruttori ai livelli logici 1 e 0 corrispondenti.

Si dovrebbero misurare frequenze di uscita 1/80, 1/4, 1/5, 1/10, 1/20, 1/250, 1/500 e 1/511 della frequenza all'ingresso. Se il riferimento all'ingresso era esattamente 100 kHz, allora le frequenze ottenute, a meno di 1 Hz, saranno 1250 Hz, 25 kHz, 20 kHz, 10 kHz, 5 kHz, 400 Hz, 200 Hz e 196 Hz.

ESPERIMENTO 5

Scopo

Questo esperimento dimostra il progetto e il funzionamento di un generatore d'onda sinusoidale realizzato con un contatore di Johnson a 5 stadi 4018.

Configurazione dei terminali del circuito integrato (Fig. 6-52)

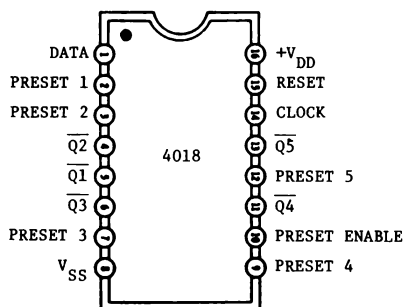



Fig. 6-52.

Schema del circuito (Fig. 6-53)

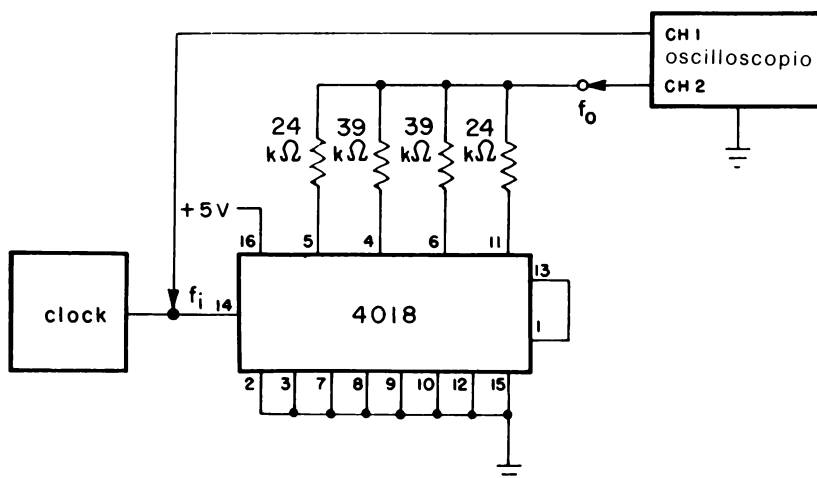



Fig. 6-53.

Formule di progetto

Per un contatore a 5 stadi:

- Frequenza di uscita: $f_o = f_i/10$
- Resistenza di calibratura $R_2/R_1 = 1.618$
  $R_3/R_1 = 1.618$
  $R_4/R_1 = 1.000$

Passo 1

Collegare il circuito illustrato nello schema e applicare la tensione alla piastra. Quindi, disporre l'oscilloscopio sulle seguenti scale:

- Canale 1: 5V/divisione
- Canale 2: 2V/divisione
- Base dei tempi: 1 ms/divisione
- Triggering: Canale 2 (accoppiamento dc)

Passo 2

Posizionare la forma d'onda d'ingresso (canale 1) in modo che sia al di sopra di quella d'uscita (canale 2) sullo schermo. Regolare l'onda d'ingresso in modo che ci siano 10 periodi completi per le 10 divisioni della scala orizzontale. Si dovrebbe notare che la forma d'onda in uscita, benchè sia un'onda sinusoidale "spezzata", ha una frequenza pari a un decimo di quella d'ingresso, dato che il 4018 è un contatore a 5 stadi. Per un contatore a N stadi, la frequenza di uscita sarà 1/2 N volte di quella d'ingresso.

Passo 3

Portare ora la base dei tempi a 2 ms/divisione per visualizzare due periodi completi dell'uscita. La forma d'onda dovrebbe essere simile a quella rappresentata in Fig. 6-54.

Passo 4

Scollegare l'alimentazione dalla piastra ed aggiungere il semplice

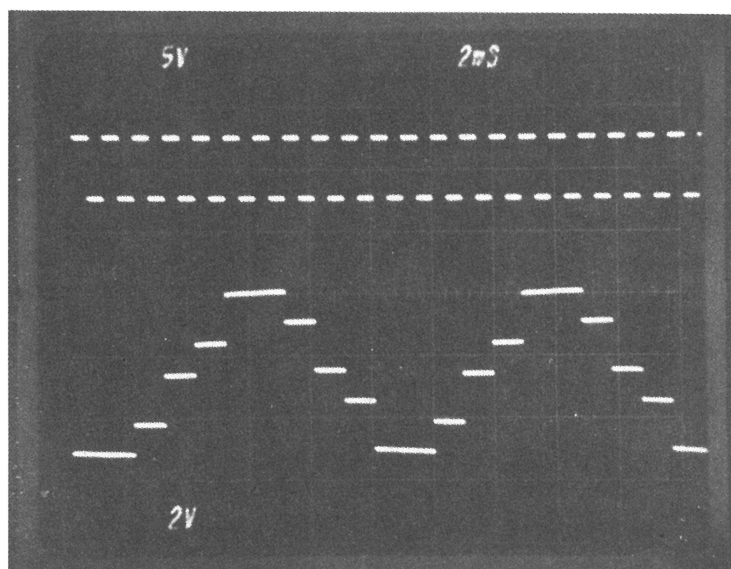



Fig. 6-54.

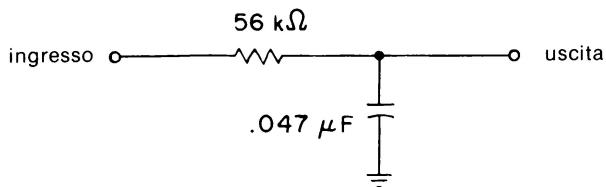



Fig. 6-55.

filtro passa-basso di Fig. 6-55 all'uscita del generatore.

Collegare la sonda del Canale 1 dell'oscilloscopio all'ingresso del filtro e la sonda del Canale 2 all'uscita dello stesso. Alimentare di nuovo la piastra. Che differenza esiste tra la forma d'onda di uscita e quella all'ingresso del filtro?

La forma d'onda d'uscita rispecchia un'onda sinusoidale in modo più visibile di quella all'ingresso. Il filtro passa-basso attenua le componenti armoniche di ordine più elevato della forma d'onda "spezzata", lasciando solo l'onda sinusoidale fondamentale, come si può notare in Fig. 6-56.

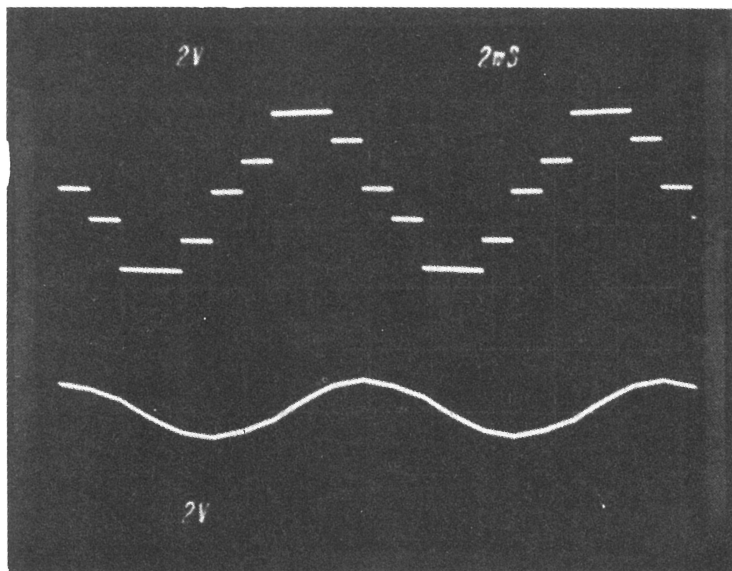



Fig. 6-56.

CAPITOLO 7

Interfacciamento con i LED e con i display a LED a 7 segmenti

INTRODUZIONE ED OBIETTIVI

Come con i sistemi TTL, il progetto e il funzionamento dei circuiti utilizzanti CMOS possono essere migliorati utilizzando LED colorati o display numerici a 7 segmenti. Tuttavia, a causa della capacità limitata di pilotaggio in uscita legata a buona parte dei contatori e delle porte CMOS, la maggioranza dei display LED non possono essere collegati alle uscite dei dispositivi CMOS senza l'aggiunta di qualche altro circuito.

Al termine di questo capitolo, si sarà in grado di fare quanto segue:

- Descrivere parecchi metodi per interfacciare un singolo LED con un dispositivo CMOS.
- Interfacciare display a 7 segmenti ad anodo comune oppure a catodo comune usando complessi di transistor CA3081 e CA3082.
- Scandire a divisione di tempo display a 7 segmenti.
- Convertire il codice a 7 segmenti in BCD con il decoder 74C915.

INTERFACCIAMENTO CON LED

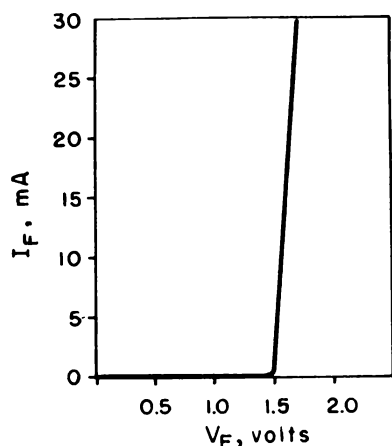
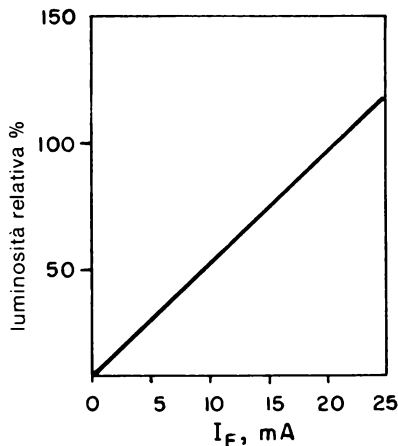
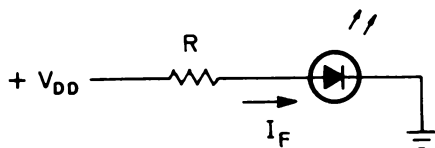
Come si può notare in Fig 7-1, il LED tipico ha una caduta di tensione di circa 1,7 V se polarizzato direttamente. Inoltre l'intensità della luce

(A) Caduta di tensione sul LED polarizzato direttamente.

(B) La quantità di luce emessa è proporzionale alla corrente diretta.

(C) Circuito.

Fig. 7-1. Caratteristiche dei LED.

emessa, che può essere rossa, arancione, gialla o verde, è proporzionale alla corrente diretta I_F. Il campo di corrente diretta del LED varia tipicamente da 10 a 20 mA (dal 50% al 100% della luminosità relativa) e viene determinata da una resistenza di limitazione della corrente posta in serie al LED in modo che

$$I_F = \frac{V_{DD} - V_F}{R} \qquad \text{(Eq. 7-1)}$$

Purtroppo, gran parte dei dispositivi CMOS, a causa della loro scarsa corrente di uscita, non possono pilotare direttamente i LED.

La Fig. 7-2 illustra alcuni metodi pratici per risolvere questo problema. La Fig. 7-2A e B fanno uso di un transistor per facilitare il pilotaggio del LED e il valore della resistenza limitatrice è in pratica determinato dalla equazione 7-1. Per entrambi i circuiti, un livello logico 1 applicato alla base del transistor provoca l'accensione del LED. Inoltre i LED possono essere comandati dall'uscita di un buffer CMOS 4050, come in Fig. 7-2C.

INTERFACCIAMENTO CON DISPLAY A LED A 7 SEGMENTI

Forse il modo più semplice di abilitare la maggior parte dei contatori CMOS al pilotaggio di una larga varietà di display LED a 7 segmenti è

(A) Transistor pnp.

(B) Transistor npn.

(C) Buffer 4050.

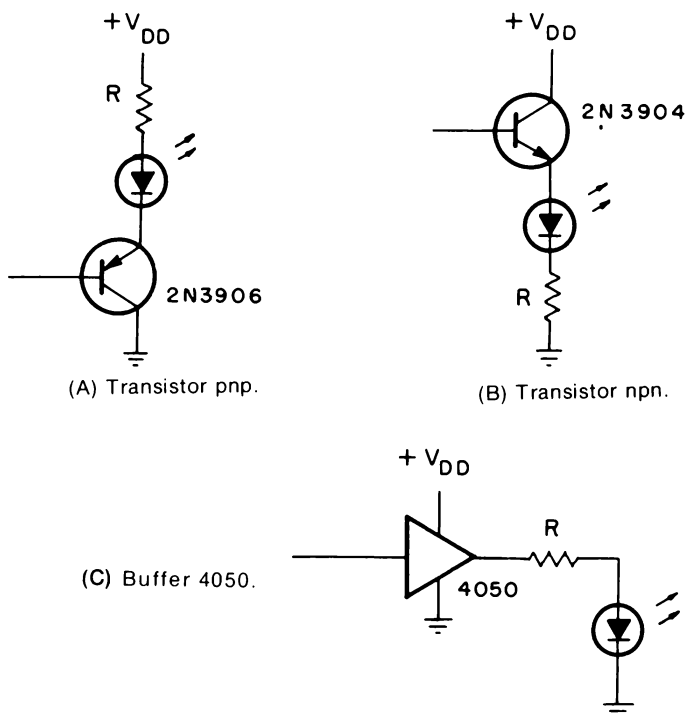



Fig. 7-2. Interfacce CMOS-LED.

quella di usare un complesso di transistor su circuito integrato, come il CA3081 o il CA3082 (Fig. 7-3). Il CA3081 consiste in una serie di 7 transistor ad alta corrente collegati secondo una configurazione ad emettitore comune, per l'utilizzo con display ad "*anodo comune*" mentre il CA3082 è un circuito con transistor a collettore comune, usato con display a catodo comune.

Di seguito si illustra come vengono interfacciati display a LED a 7 segmenti con alcuni contatori e decodificatori CMOS.

(A) Matrice a emettitore comune CA3081. (B) Matrice a collettore comune CA3082.

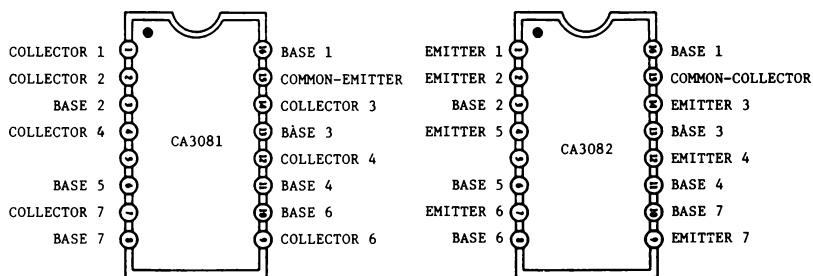
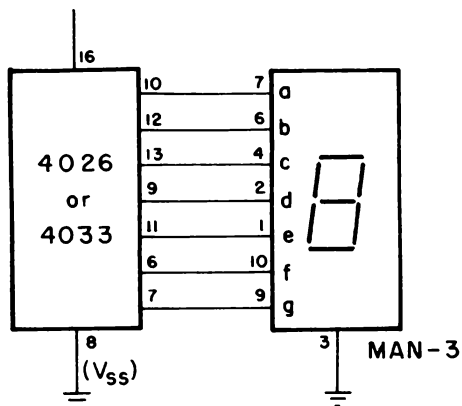



Fig. 7-3. Insiemi di 7 transistor.

(A) Circuito.

(B) Configurazione dei terminali del MAN-3.

Fig. 7-4. Interfacciamento di un display a LED a catodo comune MAN-3 con un 4026 o un 4033.

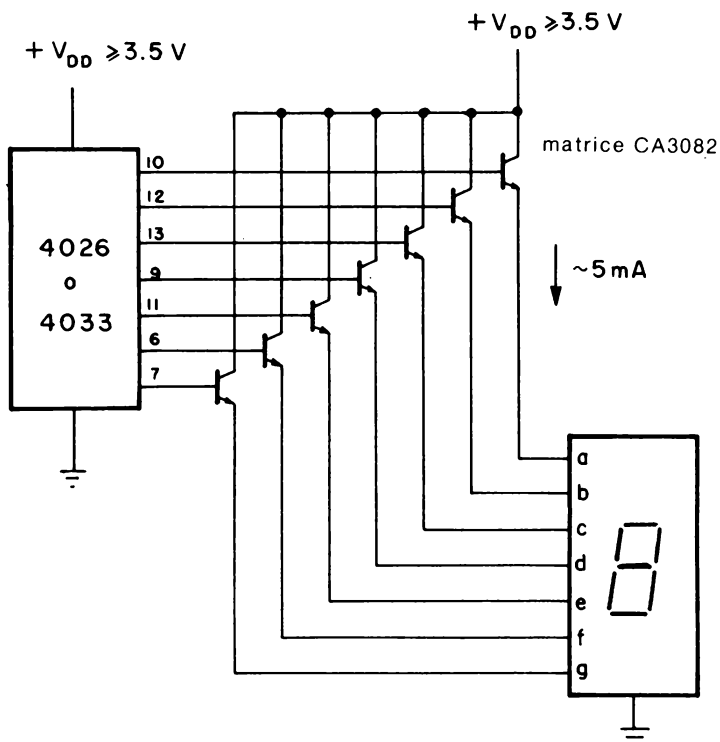



Fig. 7-5. Utilizzazione di un insieme di transistor CA3082.

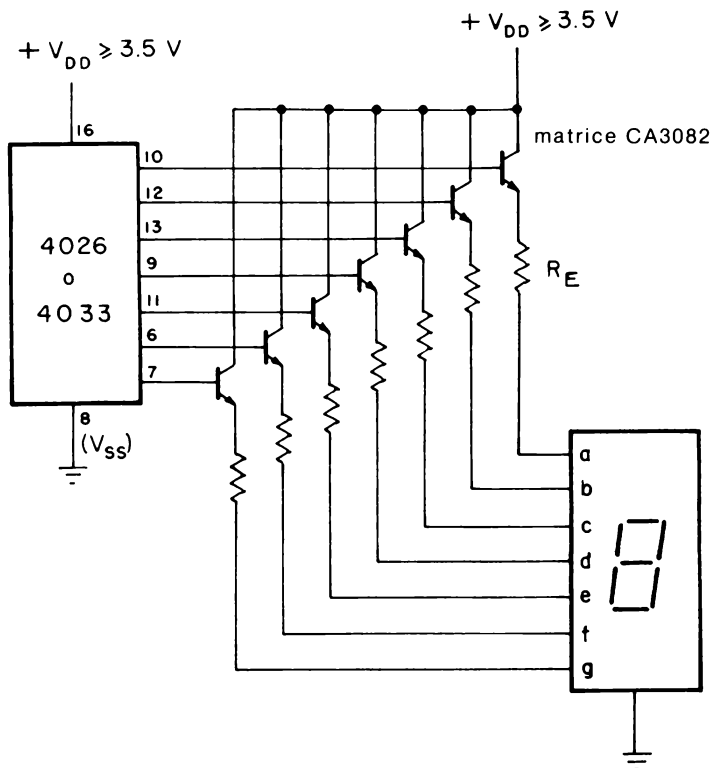



Fig. 7-6. Controllo della corrente diretta del LED.

Contatori 4026 e 4033

La Fig. 7-4 evidenzia come un display a catodo comune MAN-3 sia interfacciato al 4026 o al 4033, per tensioni di alimentazione comprese tra 9 e 15 V. Questo è forse l'unico caso in cui un dispositivo CMOS possa pilotare direttamente un display senza alcuna necessità di amplificazione di corrente.

Comunque, per tensioni di alimentazione fino a 3,5 V, bisogna usare un CA3082, come risulta dalla Fig. 7-5. Se vi è neccessità di un controllo più preciso della corrente diretta nei vari segmenti, si deve aggiungere una resistenza in serie ad ogni segmento LED, come si nota in Fig. 7-6. Questa resistenza di emettitore viene determinata da:

$$R_E = \frac{V_{DD} - 2.5}{I_F} \qquad \text{(Eq. 7-2)}$$

I 2,5 V al numeratore dell'equazione 7-3 costituiscono la somma della caduta di tensione base-emettitore del transistor (0,8 V) più la caduta di tensione diretta del LED (1,7 V).

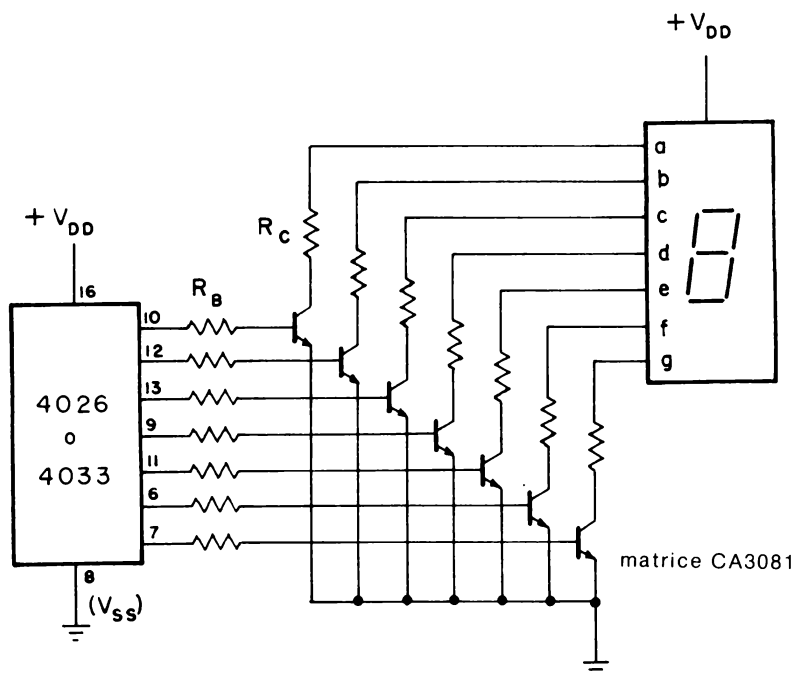



Fig. 7-7. Interfacciamento di display a LED ad anodo comune, quale il MAN-7.

Inoltre si può usare un display ad anodo comune, come il MAN7, con i contatori 4026 o 4033 ricorrendo al complesso con emettitore comune CA3081, come in Fig. 7-7. La resistenza di collettore R_C per ogni segmento è calcolata da:

$$R_C = \frac{V_{DD} - 1.9}{I_F} \qquad \text{(Eq. 7-3)}$$

dove il termine 1,9 V al numeratore tiene conto della caduta di tensione diretta del LED (1,7 V) e della tensione di saturazione collettore-emettitore del transistor (0,2 V). Il valore massimo della resistenza R_B di base viene ottenuto da:

$$R_B \leqslant \left(\frac{V_{DD} - 0.8}{I_C/\beta_{min}}\right) \qquad \text{(Eq. 7-4)}$$

Per entrambi i complessi CA3081 e CA3082, il valore minimo di beta (β) vale 30.

Per entrambi i contatori 4026 e 4033, l'uscita decodificata dei numeri 6 e 9 è diversa da quella fornita dal decodificatore/driver TTL 7447. Come viene rappresentato in Fig. 7-8, l'uscita decodificata produce una "propaggine" sui numeri 6 e 9. Per il numero 6 viene aggiunto il segmento "a", mentre per il numero 9 viene aggiunto il segmento "d".

Fig. 7-8. Numeri 6 e 9 decodificati con "coda".

Il latch decodificatore/driver a 7 segmenti 4511

Il 4511 è costituito in uscita da driver con transistor bipolari, che sono in grado di fornire fino a 25 mA per ciascun segmento. Di conseguenza, questa sua capacità di pilotaggio permette al 4511 di comandare direttamente la maggior parte di display LED a catodo comune senza amplificatori di corrente. La Fig. 7-9 illustra come si collega un 4511 a un display a catodo comune DL704. È neccessaria una resistenza di limitazione della corrente per ogni segmento e il suo valore è dato dall'equazione 7-1. Se la tensione di alimentazione è 9 V e la corrente diretta nel segmento LED dev'essere 15 mA, allora la resistenza in serie vale

$$R = \frac{V_{DD} - V_F}{I_F}$$
$$= \frac{(9 - 1.7)\ \text{volts}}{15\ \text{mA}}$$
$$= 487\ \Omega$$

e pertanto si può usare una resistenza di 470 Ω. Si deve calcolare anche la potenza dissipata dalla resistenza. Per un valore calcolato di 487 Ω e una

(A) Configurazione dei terminali.

(B) Interfacciamento con display a LED a catodo comune senza sistema di buffer.

Fig. 7-9. Registro e decodificatore/driver a sette segmenti 4511.

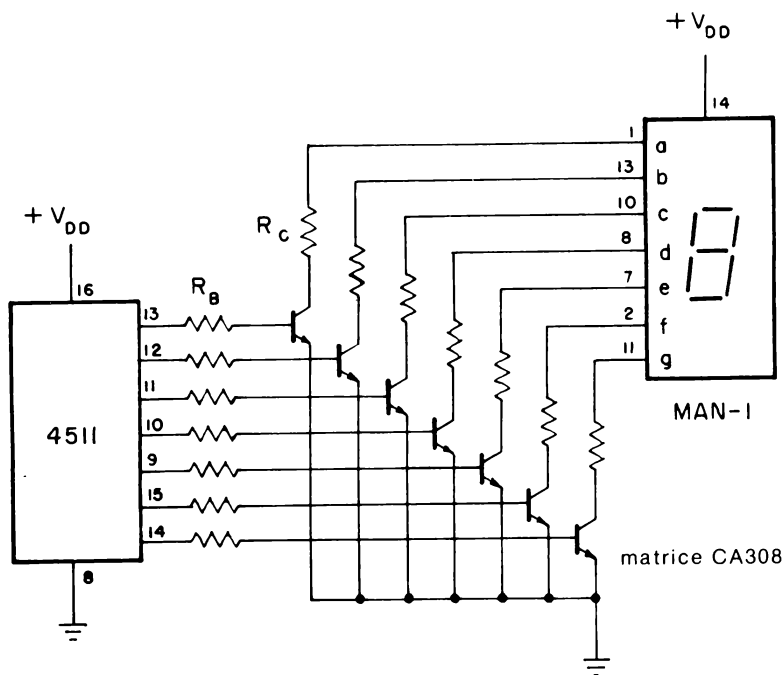



Fig. 7-10. Interfacciamento di un decodificatore/driver 4511 con display a LED ad anodo comune.

corrente circolante di 15 mA, dalla legge di Ω si ricava:

$$P = I^2R \qquad \text{(Eq. 7-5)}$$
$$= (15\,\text{mA})^2(487\,\Omega)$$
$$= 0.11\ \text{watt}$$

In tal caso è ideale una resistenza da 1/4 di W.

Sebbene il 4511 sia principalmente inteso per display a catodo comune, può essere usato combinato con il complesso di transistor CA3081 per pilotare display ad anodo comune simili al MAN-1 o al MAN-7 (Fig. 7-10).

DISPLAY A 7 SEGMENTI SCANDITI A DIVISIONE DI TEMPO

Per i sistemi a display LED che richiedono più di 4 cifre, sarebbe probabilmente più vantaggioso scandire i singoli display. In generale la scansione dei display è un metodo alquanto efficace che fa uso di un solo circuito decodificatore/driver per tutte le cifre, come viene illustrato nello schema a blocchi di Fig. 7-11. Il singolo decodificatore/driver viene scandito sequenzialmente a divisione di tempo per ciascuno dei display LED, uno per volta.

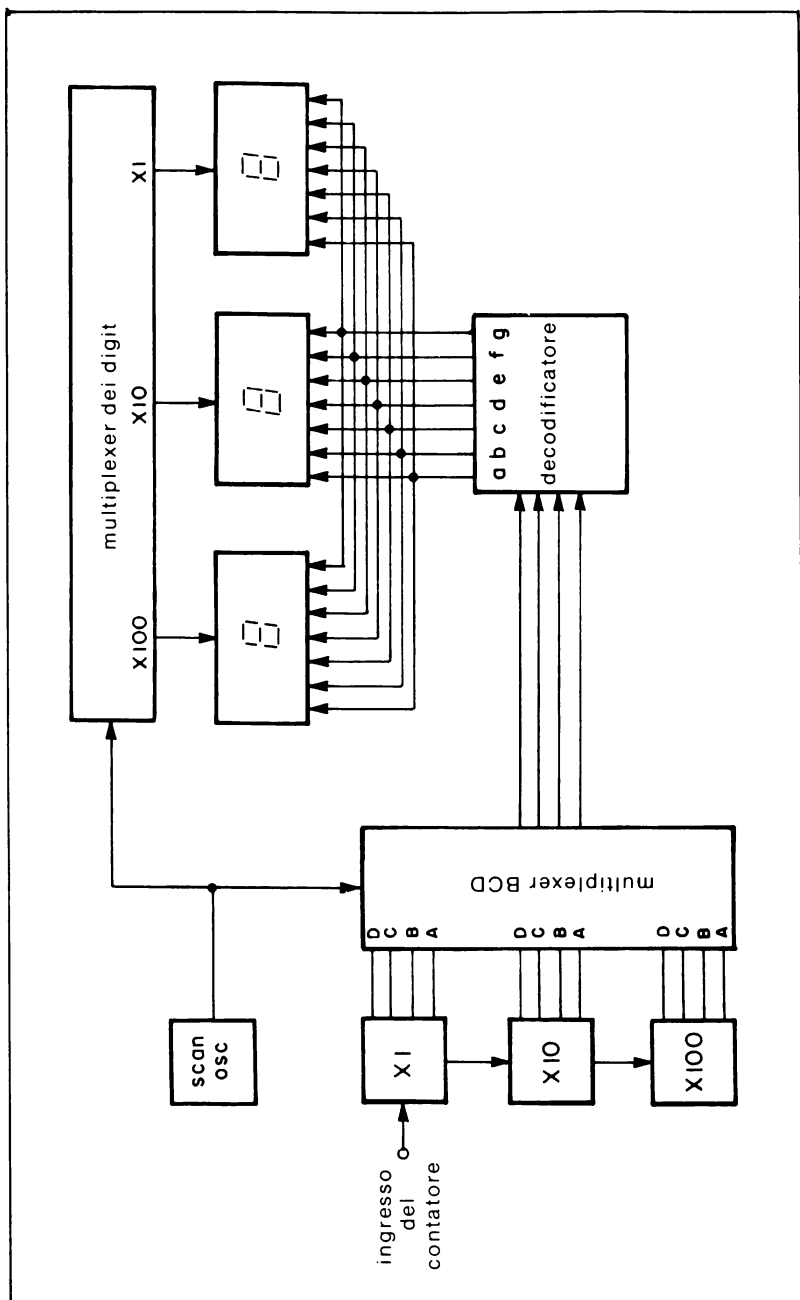



Fig. 7-11. Scansione di display a LED a multisegmenti.

Dato che tutti i segmenti simili sono connessi in parallelo, ogni cifra, su N cifre totali, verrà abilitata per un intervallo pari a 1/N volte il tempo che è necessario a scandire tutte le cifre N.

Se i display vengono scanditi senza incrementi nella corrente diretta di ciascuno dei 7 segmenti LED, allora l'effetto luminoso che ne consegue sarà debole. Ciò avviene perchè la corrente "media" risulta inferiore a quella fornita in modo continuo, cosicchè vale la seguente equazione:

$$I_F \text{ (media)} = \frac{I_F}{N} \qquad \text{(Eq. 7-6)}$$

Per un display MAN-7 che funziona normalmente con una corrente diretta di 15 mA, la corrente media per ogni segmento di 4 display scanditi sarà allora di 15 mA/4, ovvero di 3,75 mA. Portando la corrente a un valore N "volte "superiore, la corrente media sarà sufficente ad ottenere un display visibile. Nell'esempio citato, una corrente diretta media di 15 mA porta a un valore di corrente di picco pari 4 volte 15 mA, cioè 60 mA, per un sistema a 4 cifre. Tuttavia quando si fa funzionare il singolo display in modo impulsivo e si aumenta la corrente di picco per aumentare quella media, non si deve superare il massimo ciclo utile permesso onde evitare la distruzione dei singoli diodi LED del display.

La "velocità di scansione", o frequenza di abilitazione deve essere sufficientemente elevata in modo che non ci sia un apprezzabile sfarfallio, a causa dell'abilitazione sequenziale di ogni singola cifra. L'occhio umano può distinguere impulsi luminosi fino a circa 16 Hz. Al di sopra di questo valore, gli impulsi luminosi tendono ad apparire di splendore continuo, ma variano alquanto da individuo a individuo, dall'angolo visuale e dalle condizioni dell'illuminazione dell'ambiente.

La Fig. 7-12 illustra il metodo di scandire in modo corretto N cifre usando una serie di contatori 4033 e di display LED a catodo comune MAN-3.

Si utilizza una serie di N complessi a collettore comune CA3082 per pilotare i segmenti dei display, mentre è neccessario un complesso ad emettitore comune CA3081 per abilitare il terminale relativo al catodo comune di ciascuna cifra. Ogni porzione del complesso CA3081 viene collegato a un decodificatore divisore per N, come il 4017 e il 4022. La Fig. 7-13 rappresenta uno schema simile, ma con una serie di contatori 4026. Con questo metodo si abilita il contatore singolo invece di commutare a terra il catodo comune del display LED. Informazioni in proposito su come vengono collegati i contatori 4017 e 4022 per dividere/decodificare qualsiasi numero da 2 a 10 si possano trovare nel Capitolo 6.

La Fig. 7-14 dimostra come un gruppo di 4 contatori 4026 vengono collegati a un sistema monolitico con display LED a più cifre, come la serie 5082-7400 costruita dalla Hewlett-Packard.

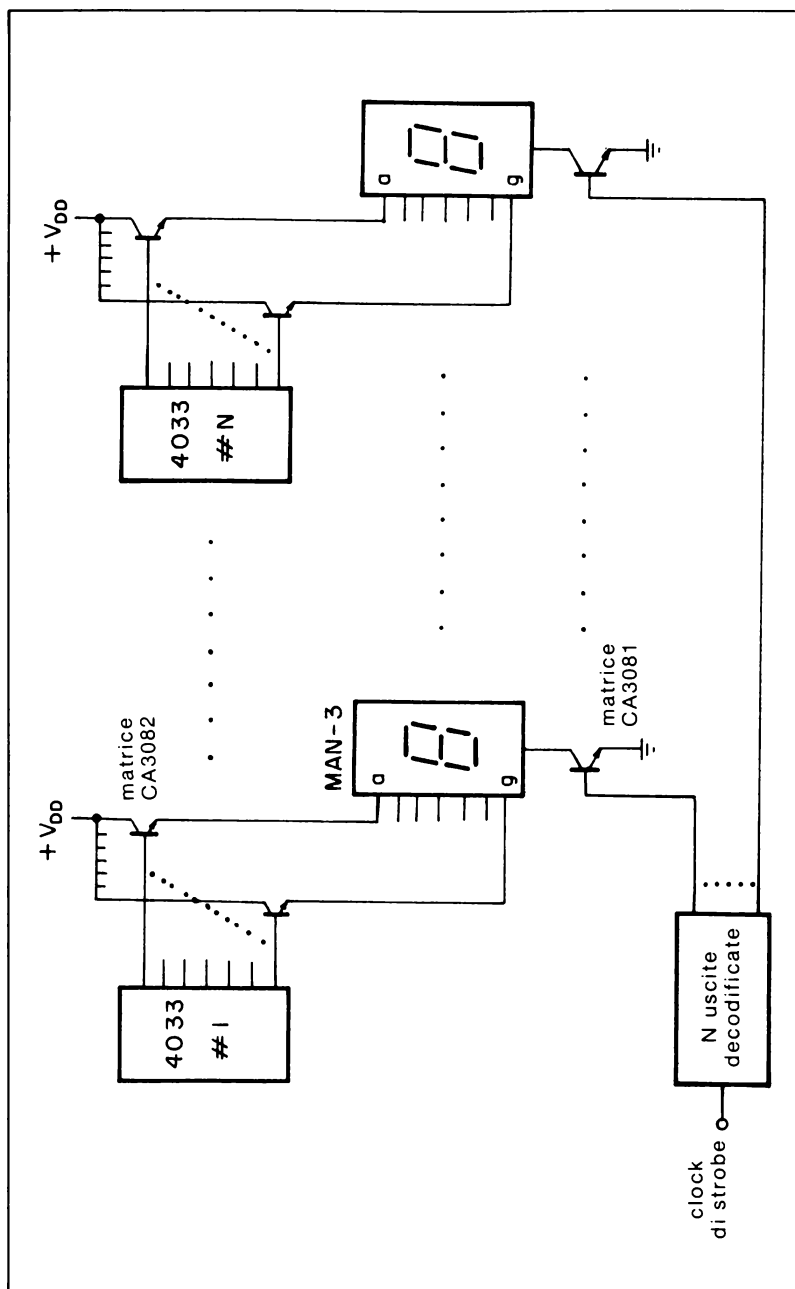



Fig. 7-12. Scansione di una serie di contatori 4033 con display a LED a catodo comune.

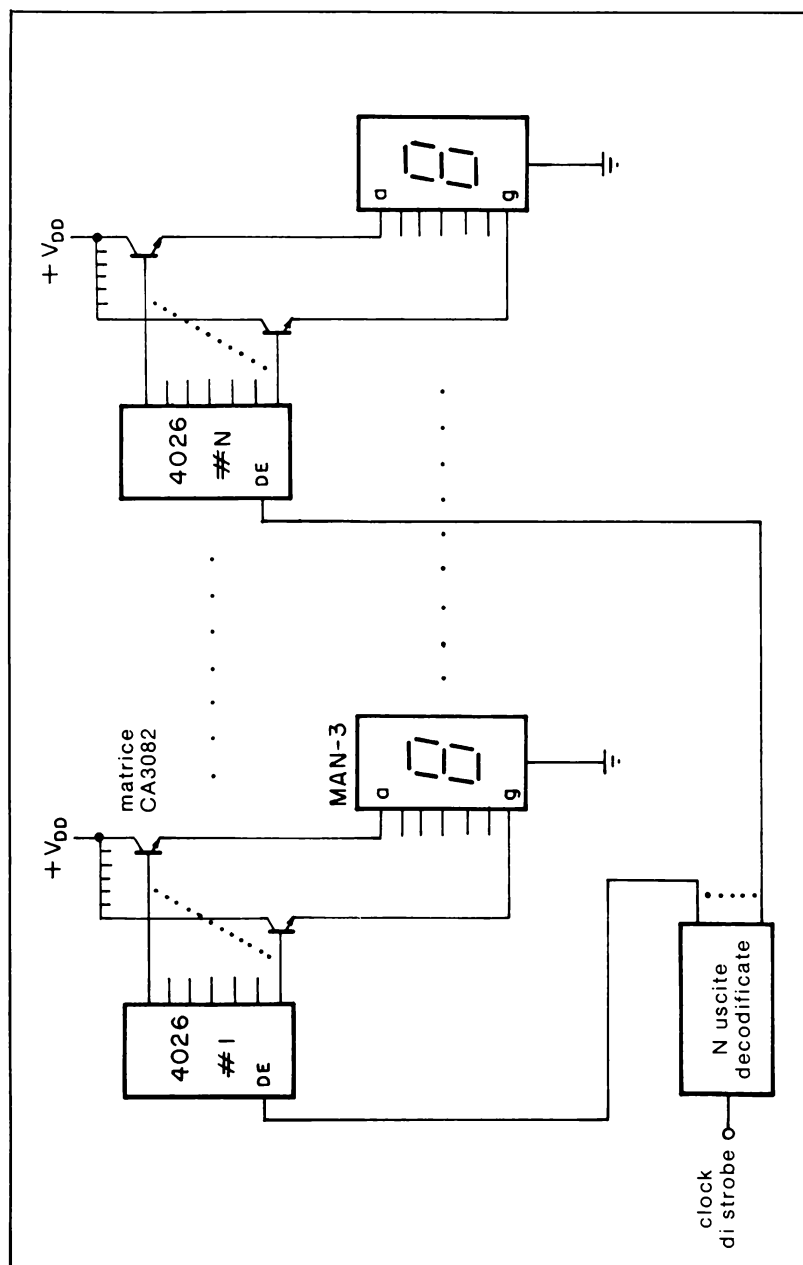



Fig. 7-13. Scansione di una serie di contatori 4026 con display a LED a catodo comune.

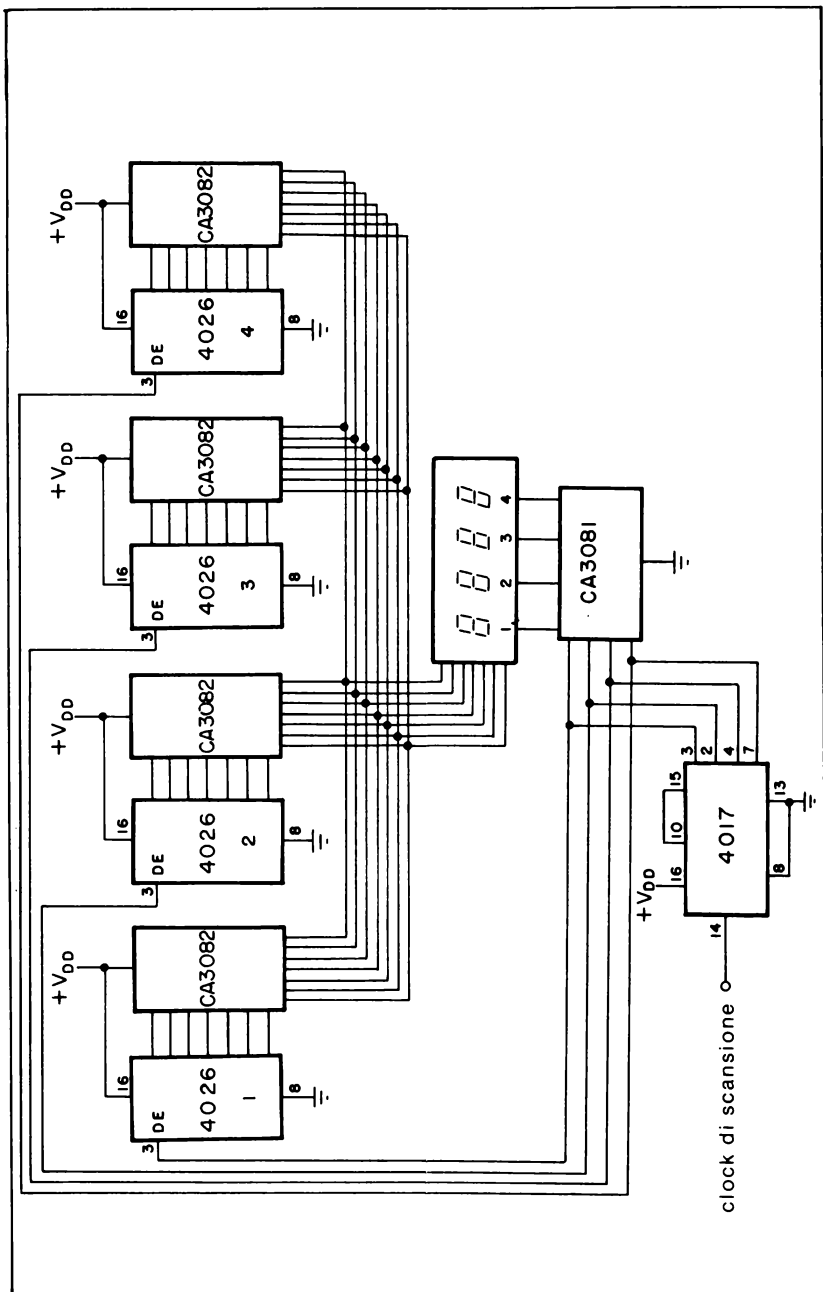



Fig. 7-14. Scansione di quattro contatori 4026 con display a LED a quattro digit.

COME OTTENERE UNA INFORMAZIONE IN BCD DA DISPLAY A 7 SEGMENTI

Per alcune applicazioni, in particolare l'interfacciamento con microcomputer, può essere vantaggioso ottenere il codice equivalente a 4 bit in BCD corrispondente al numero visualizzato su ciascuna cifra di una serie di display a 7 segmenti. Quasi tutti gli orologi digitali, strumenti da pannello, calcolatori tascabili, e contatori (4026 e 4033) di tipo CMOS non sono previsti per ottenere dati in BCD.

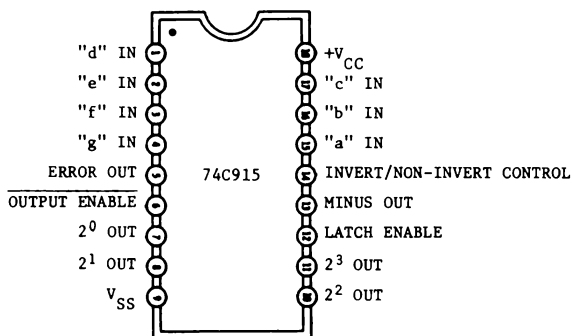



Fig. 7-15. Configurazione dei terminali del decodificatore da 7 segmenti a BCD 74C915.

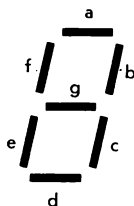
Con un decodificatore 74C915 (mostrato in Fig. 7-15 e costruito dalla National Semiconductor), si può convertire l'informazione a 7 segmenti (Tabella 7-1) in codice BCD. Lo stato vero degli ingressi a 7 segmenti può essere scelto con l'uso dell'ingresso di controllo INVERT/NON INVERT. Uno 0 logico su questo ingresso seleziona la decodifica dei valori veri attivi ALTI applicati agli ingressi a 7 segmenti. L'uscita ERROR è a livello logico 1 ogni volta che viene presentato ai 7 ingressi un codice a 7 segmenti non significativo.

L'uscita MINUS è a livello logico 1 ogni volta che viene apprezzato il codice relativo al segno meno. Quando l'ingresso LATCH ENABLE (LE) è al livello logico 1, l'uscita in BCD viene memorizzata (uscita a TRB-STATI), e quando invece è allo 0 logico, avviene il contrario.

INTRODUZIONE AGLI ESPERIMENTI

La maggior parte dei dispositivi CMOS, a causa della loro scarsa corrente di uscita, non può pilotare direttamente i display LED. Di conseguenza, si rende necessario un mezzo di interfaccia da CMOS a LED, evitando la distruzione del dispositivo CMOS, del display LED, o di entrambi. Gli esperimenti da eseguire possono essere così riassunti:

Tabella 7-1. Tabella della verità dei 7 segmenti/BCD 74C915

Carattere a 7 segmenti	Segmenti							Uscite BCD				Uscita ERROR	Uscite MINUS
	a	b	c	d	e	f	g	D	C	B	A		
0	1	1	1	1	1	1	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	1	1	0	0	0	0	1	0	0
2	1	1	0	1	1	0	1	0	0	1	0	0	0
3	1	1	1	1	0	0	1	0	0	1	1	0	0
4	0	1	1	0	0	1	1	0	1	0	0	0	0
5	1	0	1	1	0	1	1	0	1	0	1	0	0
6	1	0	1	1	1	1	1	0	1	1	0	0	0
6	0	0	1	1	1	1	1	0	1	1	0	0	0
7	1	1	1	0	0	0	0	0	1	1	1	0	0
8	1	1	1	1	1	1	1	1	0	0	0	0	0
9	1	1	1	1	0	1	1	1	0	0	1	0	0
9	1	1	1	0	0	1	1	1	0	0	1	0	0
blank	0	0	0	0	0	0	0	1	1	1	1	0	0
—	0	0	0	0	0	0	1	X	X	X	X	1	1

X rappresenta la condizione di TRI-STATE

Esperimento N°	*Scopo*
1	Dimostrare come si interfacciano i LED con i dispositivi CMOS, usando transistor o buffer CMOS
2	Dimostrare come si collega un display LED a 7 segmenti a catodo comune ad un decodificatore/driver BCD,7 segmenti 4511.

ESPERIMENTO 1

Scopo

Questo esperimento dimostra come i LED vengono interfacciati in modo appropriato con dispositivi CMOS, mediante un transistor npn oppure un buffer CMOS 4050.

Configurazione dei terminali del circuito integrato (Fig. 7-16)

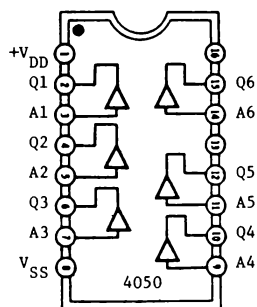



Fig. 7-16.

Schema del circuito (Fig. 7-17)

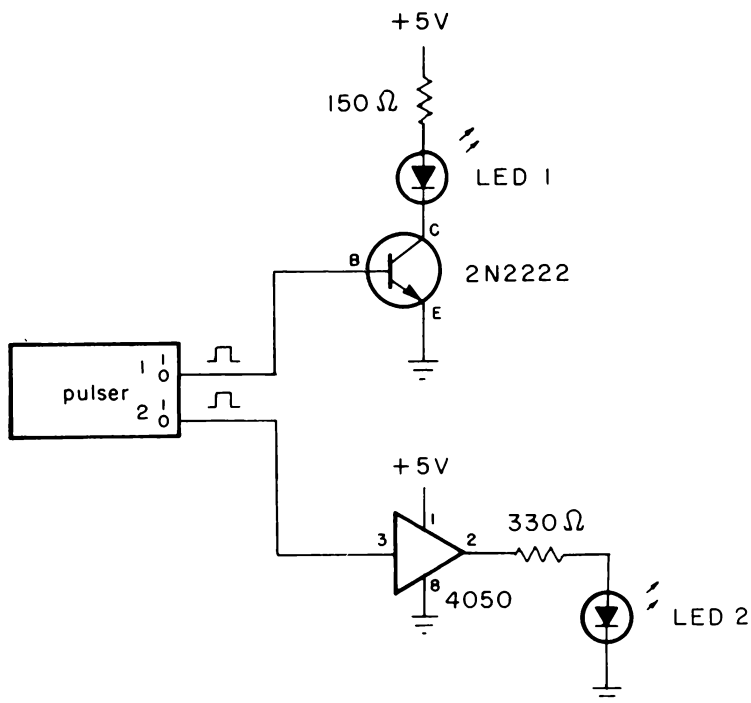



Fig. 7-17.

Passo 1

Collegare il circuito come indicato nello schema. Per questo esperimento, i due generatori d'impulsi (pulser) rappresentano il circuito CMOS che deve essere interfacciato con i LED. Poichè gli ingressi inutilizzati di un dispositivo CMOS non possono essere lasciati flut-

tuanti, collegare i terminali 5, 7, 9, 11 e 14 del buffer 4050 a massa. Inoltre, assicurarsi che il LED e il transistor siano collegati in modo esatto.

Passo 2

Alimentare la piastra. Il LED N° 1 è acceso oppure spento?

Il LED N° 1 dovrebbe essere spento, dato che la base del transistor è a livello logico 0.

Passo 3

Pigiare il pulser N° 1. Cosa accade al LED N° 1?

Il LED N° 1 dovrebbe essere acceso ora, dato che l'uscita del circuito CMOS (il pulser) è al livello logico 1. Quando si rilascia il pulser, il LED dovrebbe spegnersi, come al Passo 2.

Passo 4

Per quanto riguarda il circuito rimanente, il LED N° 2 è acceso o spento?

Il LED N° 2 dovrebbe essere spento, poichè l'uscita del pulser N° 2 è in questo istante allo 0 logico.

Passo 5

Pigiare il pulser N° 2. Che cosa accade al LED N° 2?

Il LED N° 2 dovrebbe essere acceso ora, poichè l'uscita del circuito CMOS (il pulser) è al livello logico 1. Quando si rilascia il pulser, il LED dovrebbe spegnersi, come al Passo 4.

ESPERIMENTO 2

Scopo

Questo esperimento dimostra il funzionamento del decodificatore/latch/driver BCD, 7 segmenti 4511, quando è interfacciato con un display a catodo comune del tipo DL704.

Configurazione dei terminali del circuito integrato e del display a LED (Fig. 7-18)

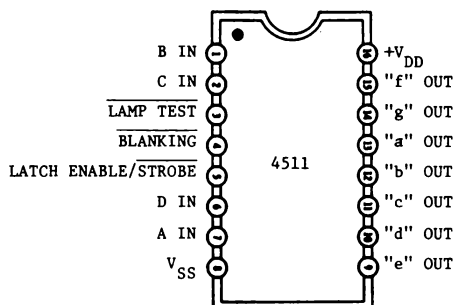



Fig. 7-18.

Schema del circuito (Fig. 7-19)

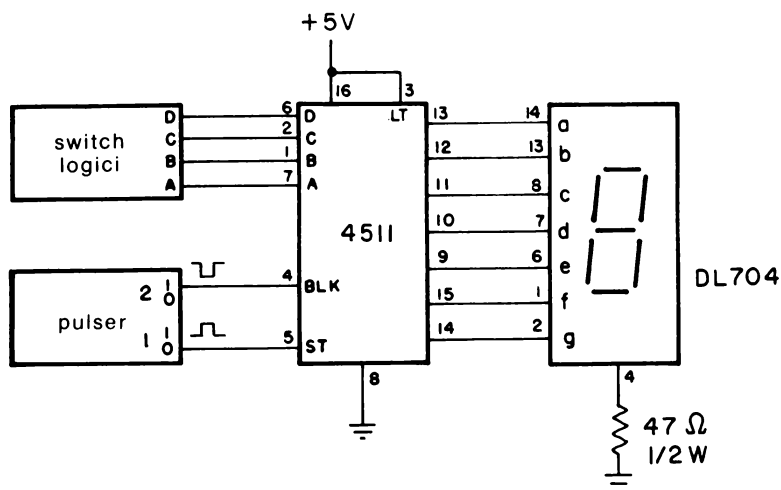



Fig. 7-19.

Passo 1

Collegare il circuito come rappresentato nello schema e applicare l'alimentazione alla piastra. Posizionare i quattro interruttori logici in modo che sia DCBA = 0000. Che numero appare sul display LED?

Dovrebbe essere visualizzato il numero 0, dato che il 4511 decodifica i 4 bit d'ingresso in BCD e il display LED mostrerà questo codice come numero decimale. Per codici BCD compresi tra DCBA = 0001 (1 decimale) e DCBA = 1001 (9 decimale), verificare che il numero sul

display LED sia quello equivalente alle varie configurazioni degli interruttori logici in codice BCD a 4 bit.

Passo 2

Cosa accade al display quando gli interruttori logici sono posti a DCBA = 1010, o 1011, o 1100, o 1101, o 1110 o 1111?

Quando gli interruttori logici vengono disposti con quei codici BCD a 4 bit che sono gli equivalenti decimali dei numeri 10, 11, 12, 13, 14 e 15, il display risulta spento, dato che non avrebbe alcun senso che un display BCD, 7 segmenti, indichi codici a 4 bit maggiori del numero decimale 9.

Passo 3

Posizionare gli interruttori logici in modo che sia DCBA = 0111, vale a dire il numero decimale 7. Premere e mantenere premuto il generatore d'impulsi (pulser) N° 1 che è collegato all'ingresso STROBE (latch) del 4511, cioè al terminale 5. Mentre si mantiene pigiato il pulser N° 1, affinchè l'ingresso STROBE si trovi a livello logico 1, spostare l'interruttore logico "A" allo 0 logico. Accade qualcosa al display LED?

Non dovrebbe essere accaduto nulla. Rilasciare il pulser. Avviene qualcosa?

Il display dovrebbe visualizzare il numero 6, perchè il codice all'ingresso è stato portato da DCBA = 0111 a 0110, mentre l'ingresso STROBE era a livello logico 1. Forse un nome migliore per questo ingresso dovrebbe essere "LATCH ENABLE", quando questo arriva a livello logico 1.

Passo 4

Pigiare il pulser N° 2, collegato al terminale 4 del 4511. Che accade?

Quando si preme questo pulser in modo da portare il terminale 4 allo 0 logico, il display è spento! Questo comportamento risulta utile nel caso si desideri risparmiare potenza, spegnendo il display quando questo non è necessario.

CAPITOLO 8

Dispositivi CMOS speciali

INTRODUZIONE ED OBIETTIVI

Analogamente alle loro controparti TTL, i dispositivi CMOS quali porte, registri e contatori, etc., si interconnettono facilmente per creare interi sistemi: temporizzatori, clock digitali, contatori di frequenza/evento e strumenti digitali da pannello, per nominarne alcuni. Tuttavia, una volta costruiti tali sistemi, il numero totale dei circuiti integrati richiesti può diventare insopportabile.

Piuttosto che "riscoprire la ruota" ogni volta, parecchi produttori di CMOS hanno sviluppato numerosi ed utili sistemi a singolo chip, con l'intento di sostituire la maggioranza, se non tutti, i dispositivi discreti di un circuito funzionalmente equivalente. Questo capitolo finale tratta di questi sistemi ad un solo chip, quale i phase-locked loop e i sintetizzatori, contatori a più cifre/contatori di frequenza, codificatori Touch-Tone, oscillatori/divisori e convertitori A/D a 3-1/2 cifre.

Alla fine di questo capitolo si sarà in grado di fare ciò che segue:

- Saper usare sistemi a singolo chip per ridurre il numero di componenti, prendendo come esempi i seguenti dispositivi:
  - Codificatori Touch-Tone MC14410 e ICM7206
  - Convertitori A/D e 3-1/2 cifre MC14433 e ICL7106/7107
  - Phase-locked loop 4046
  - Contatore di frequenza a due chip ICM7207/7208
  - Contatore decadico quadruplo 74C926

Tabella 8-1. Frequenze audio usate per codifica "touch-tone"

Gruppo a bassa frequenza(Hz)	Gruppo ad alta frequenza			
	1209	1336	1477	1633
697	1	2	3	A
770	4	5	6	B
852	7	8	9	C
941	*	0	#	D

CODIFICATORI TOUCH-TONE

Segnali Touch-Tone* stabili, usati per selezioni telefoniche ed altri servizi di comunicazione, possono essere codificati mediante parecchi dispositivi CMOS con cristalli al quarzo prontamente disponibili. I segnali Touch-Tone sono codificati in coppia di toni, usando due di otto possibili frequenze di tono per i numeri da 0 a 9, per le lettere da A a D e per i simboli # (pound) e * (star). Le otto possibili frequenze audio sono mostrate sotto forma di matrice nella Tabella 8-1, cosicchè i toni sono divisi in gruppi "basso" ed "alto". Codificatori CMOS rappresentativi sono l'MC14410 e l'ICM7206.

L'MC14410 della Motorola (Fig. 8-1) permette di progettare un codificatore Touch-Tone a bassa potenza usando un cristallo da 1 MHz, come mostrato in Fig. 8-2, ed è caratterizzato da un blocco per pigiate contemporanee e da un consumo di potenza di circa 15 mW a 5 V durante il funzionamento e riposo.

Gli ingressi dal blocco di 2 x 8 tasti, quale il modello Chromerics ER-21611, si originano da una matrice di interruttori 4 x 4 che genera un segnale d'ingresso a 4 righe (R1÷R4) e 4 colonne (C1÷C4) secondo la Tabella 8-2. Come esempio, se si preme il numero "7" sulla tastiera, si mettono a terra gli ingressi della "riga 3" e della "colonna 1", che

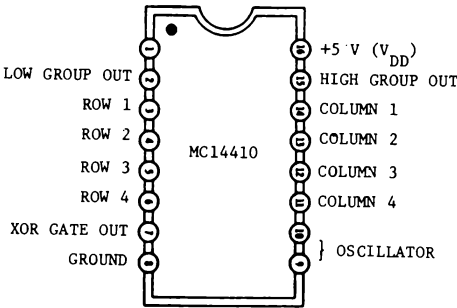



Fig. 8-1. Configurazione dei terminali dell'MC14410.

* Touch-Tone è un marchio registrato della American Telephone and Telegraph.

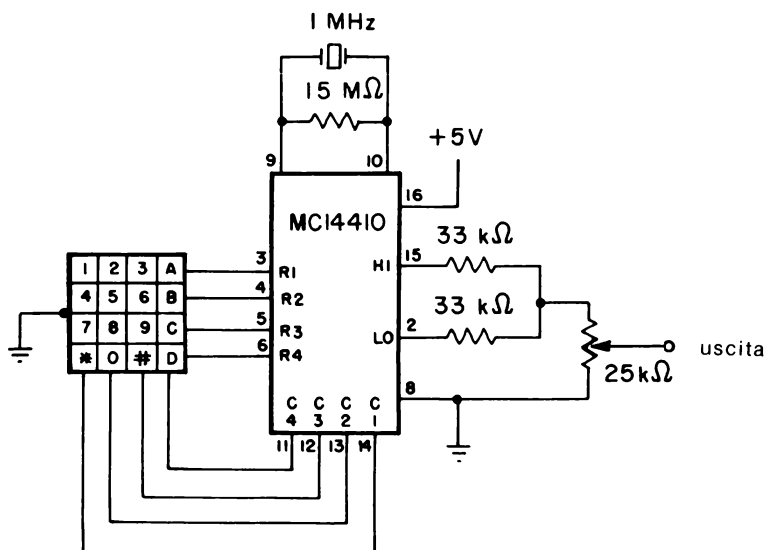



Fig. 8-2. Circuito codificatore "touch-tone" MC14410.

programmano la logica interna affinchè faccia uscire un tono basso a 852 Hz e un tono alto a 1209 Hz. Queste due uscite sono quindi sommate insieme mediante un resistore per dare i due toni risultanti in uscita. L'uscita del terminale 7 è una uscita logica impulsiva ottenuta collegando le uscite dei divisori di frequenza dei gruppi a due toni ad una porta NOR-esclusivo. Questa uscita può essere usata come un segnale di abilitazione a parlare per pilotare un multivibratore monostabile quando un tasto sia premuto brevemente.

L'ICM7206 dell'Intersil (Fig. 8-3) è piuttosto simile all'MC14410. Pure esso consuma meno di 8 mW ed ha un blocco per pigiate contemporanee. Tuttavia il 7206 richiede un cristallo per "tv a colore" da 3,579545 MHz, come indicato nel circuito di prova di Fig. 8-4.

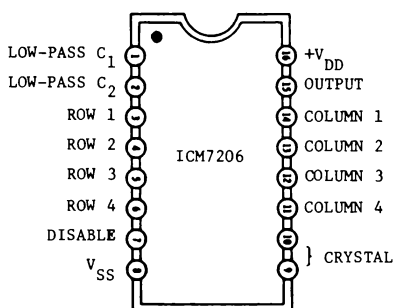



Fig. 8-3. Configurazione dei termin:.li dell'ICM7206.

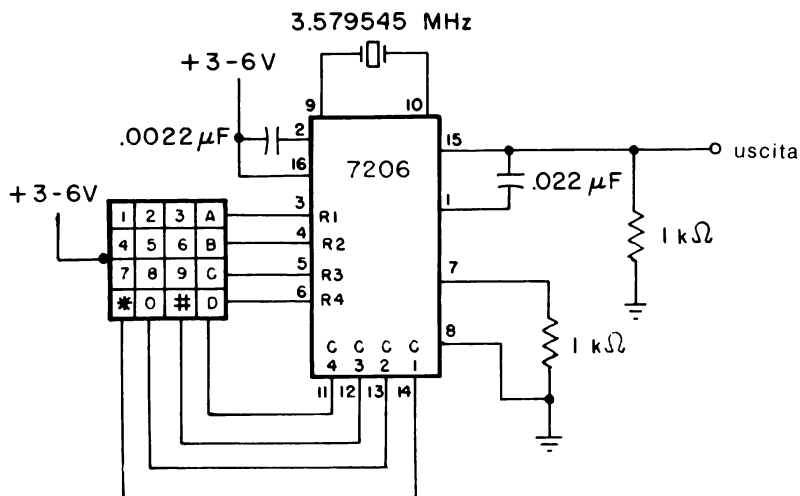



Fig. 8-4. Circuito codificatore "touch-tone" dell'ICM7206.

CONVERTITORI ANALOGICO-DIGITALI DA 3-1/2 CIFRE

Tutti gli strumenti digitali da pannello, quali i voltmetro digitali, usano un certo tipo di conversione analogico-digitale (A/D). Col crescente uso di microprocessori per acquisizione di dati, i convertitori A/D sono usati frequentemente per incamerare dati analogici. Tra i dispositivi CMOS popolari oggi disponibili si trovano l'MC14433 della Motorola e l'ICL7106 (per pilotare LCD), e l'ICL7107 (per pilotare LED) fatti dalla Intersil.

L'MC14433, come mostrato dalla disposizione dei terminali di Fig. 8-5, è un convertitore A/D a 3-1/2 cifre ad un solo chip utilizzante una

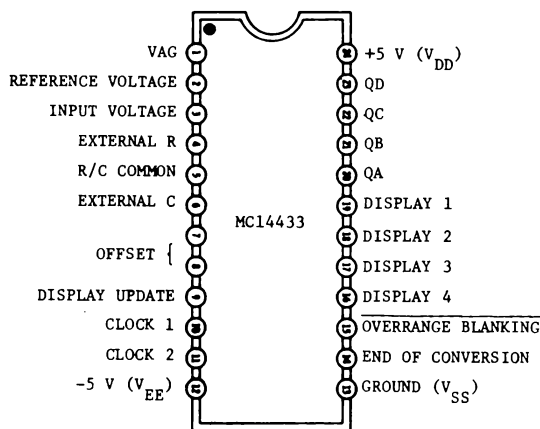



Fig. 8-5. Configurazione dei terminali dell'MC14433.

Tabella 8-2. Tabella della verità del codificatore "touch-tone"

Ingresso del carattere	Righe				Colonne				Gruppo a bassa frequenza	Gruppo ad alta frequenza
	R1	R2	R3	R4	C1	C2	C3	C4		
1	0	1	1	1	0	1	1	1	1209	697
2	0	1	1	1	1	0	1	1	1336	697
3	0	1	1	1	1	1	0	1	1477	697
A	0	1	1	1	1	1	1	0	1633	697
4	1	0	1	1	0	1	1	1	1209	770
5	1	0	1	1	1	0	1	1	1336	770
6	1	0	1	1	1	1	0	1	1477	770
B	1	0	1	1	1	1	1	0	1633	770
7	1	1	0	1	0	1	1	1	1209	852
8	1	1	0	1	1	0	1	1	1336	852
9	1	1	0	1	1	1	0	1	1477	852
C	1	1	0	1	1	1	1	0	1633	852
*	1	1	1	0	0	1	1	1	1209	941
0	1	1	1	0	1	0	1	1	1336	941
#	1	1	1	0	1	1	0	1	1477	941
D	1	1	1	0	1	1	1	0	1633	941

tecnica di conversione A/D a doppia rampa modificata con alta impedenza d'ingresso, autopolarità e auto-zero.

L'uscita digitale è un codice BCD a 3-1/2 cifre scandite con la cifra più significativa contenente informazioni relative al "over/underrange" e alla polarità, come la mezza cifra (blanck o "1").

L'MC14433 può essere posizionato esternamente per visualizzare una tensione di fondo scala di ± 199,9 mV o ± 1,999 V con i valori elencati nella Tabella 8-3 per la tensione di riferimento e per la resistenza integratrice. Per l'integratore (terminali 5 e 6) e per la correzione di offset (terminali 7 e 8) si usa una coppia di condensatori di 0,1 μF. Sebbene si possa inserire sul terminale 10 un clock esterno, ciononostante L'MC14433 contiene un clock interno (terminale 11) in maniera tale che si può usare una sola resistenza tra i terminali 10 e 11 per posizionare la frequenza del ciclo di conversione, composto da una misura di un ingresso non noto e da cicli di auto-zero.

Il segnale END OF CONVERSION (terminale 14) indica la fine di una conversione e l'inizio della successiva. Inoltre, il segnale DISPLAY UPDATE sul terminale 9 permette di creare uno "strobe" sui dati verso i registri di uscita. Nella maggioranza dei casi questi due terminali sono collegati insieme, permettendo all'uscita di essere aggiornata alla fine di ogni ciclo di conversione.

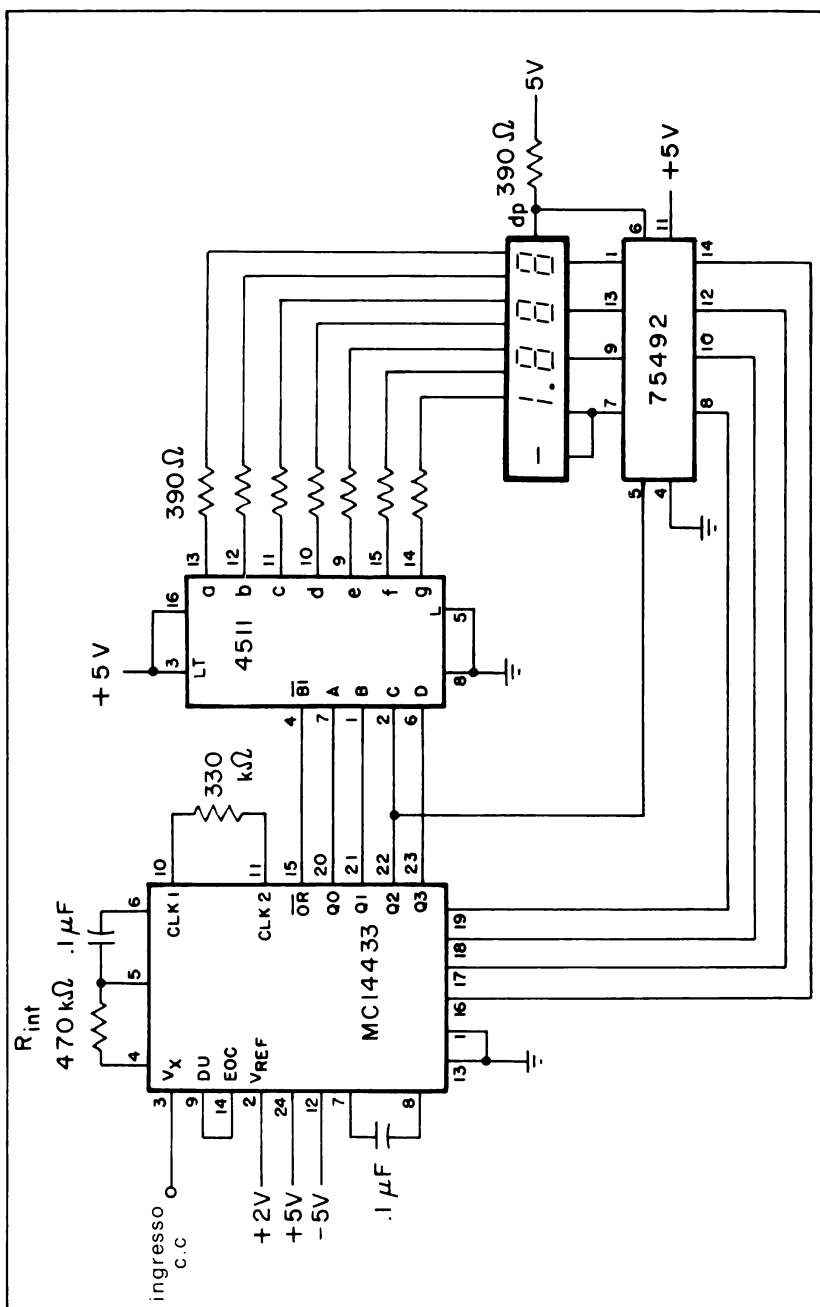



Fig. 8-6. Voltmetro digitale.

Tabella 8-3. Tensioni di riferimento e resistenze integratrici per la tensione di fondo scala.

Tensione di fondo scala	Tensione di riferimento (piedino 2)	Resistore integratore (piedini 4 e 5)
±199.9 mV	+200.0 mV	27 kΩ
±1.999 V	+2.000 V	470 kΩ

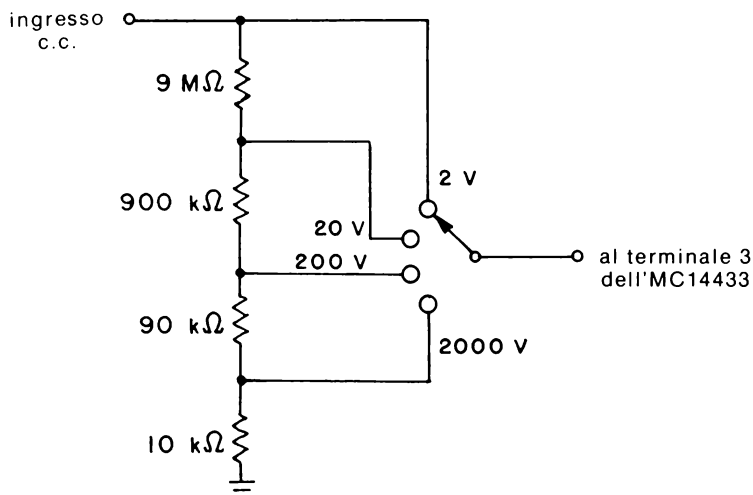



Fig. 8-7. Divisore a stringa di resistenze per aumentare la tensione di fondo scala.

La Fig. 8-6 mostra come l'MC14433 sia usato per costruire un semplice voltmetro digitale*, con una lettura a fondo scala di ± 1,999 V. Un 4511 decodifica l'uscita BCD a 4 bit per il display a catodo comune a 3-1/2 digit.

Sul terminale 15, il segnale OVERRANGE BLANKING, che è normalmente alto, spegne il display quando la tensione d'ingresso supera ± 2,000 V. Per interfacciare le quattro uscite di abilitazione ai display verso i display durante il processo di "strobing" si usa l'invertitore/driver 75492.

Questo circuito fondamentale può essere migliorato in parecchi modi. Usando la stringa di resistori, formanti un divisore, mostrata in Fig. 8-7, il circuito di base è allora in grado di misurare tensione di fondo scala da 1,999 a 1999,9 V. D'altra parte, si possono misurare tensioni c.a. con il circuito raddrizzatore a metà onda con amplificatore operazionale di Fig. 8-8. L'uscita di picco o c.c. del raddrizzatore è calibrata per pro-

---

* Ahrens, T. "Build a 3-1/2 Digit DVM", 73 Magazine, Febbraio 1978, pp. 40-42.

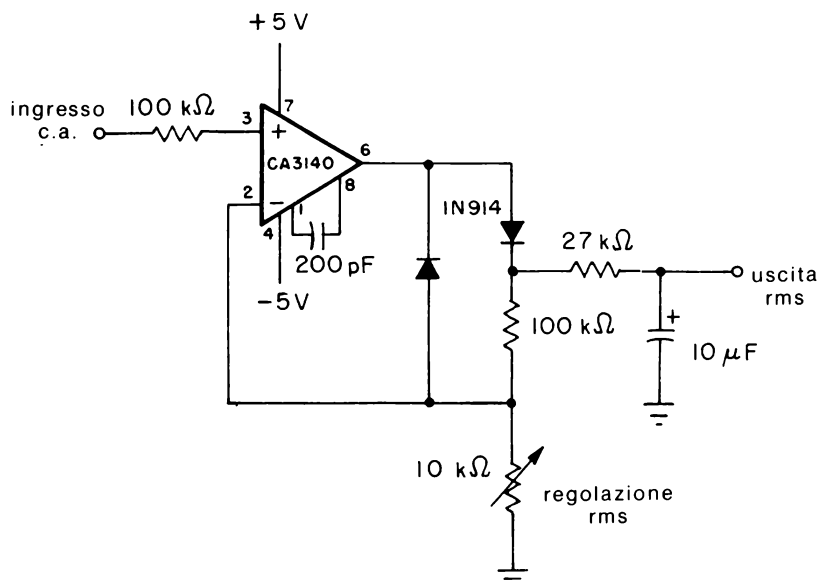



Fig. 8-8. Raddrizzatore a mezza onda con amplificatore operazionale per misure di tensioni rms.

durre la lettura rms di un'onda sinusoidale, cosicchè

$$V_{rms} = 0.707\ V_{peak} \qquad \text{(Eq. 8-1)}$$

Un multimetro digitale completo con ricerca automatica di scala è descritto in modo completo nella Nota di Applicazione AN-796 della Motorola.*

Entrambi l'ICL7106 e 7107 dell'Intersil, le cui configurazioni dei terminali sono mostrate in Fig. 8-9, sono convertitori A/D a 3-1/2 digit simili come funzione all'MC14433. Il 7106 è progettato per essere interfacciato con un display a cristalli liquidi (LCD) e, quindi, contiene il necessario segnale di pilotaggio del "backplane" (terminale 21). Il 7107 piloterà direttamente display a LED ad anodo comune di 0,3 o 0,43 pollici.

Tabella 8-4. Valori dei componenti richiesti per la tensione di fondo scala

Componente	Tensione di fondo scala 200,0 mV	tensione di fondo scala 2,000 V
R_1	24 kΩ	1.5 kΩ
R_2	47 kΩ	470 kΩ
C_1	0.47 μF	0.047 μF

* Aldridge, D. "Autoranging Digital Multimeter Using the MC14433 CMOS A/D Converter", Motorola Application Note AN-769, 1977.

I circuiti generali di Fig. 8-10 (7106) e 8-11 (7107) sono specificati per un fondo scala fino a 200 mV. Come l'MC14433, si possono collegare entrambi i dispositivi per permettere un fondo scala fino a 2,000 V, cambiando il valore della resistenza di riferimento R_1, la resistenza integratrice R_2 e il condensatore di auto-zero C_1 ai valori elencati nella Tabella 8-4.

I dispositivi MC14433 e ICL7107 sono progettati per funzionare a partire da ± 5V d'alimentazione. Tuttavia in Fig. 8-12 è indicata un'opportuna alternativa quando non è conveniente avere una tensione negativa, come in certe applicazioni portatili.

Il segnale d'ingresso è preso dall'oscillatore interno dell'MC14433 (terminale 11) o del 7107 (terminale 38). Informazioni complete su progetti di strumenti digitali da pannello utilizzanti sia il 7106 che il 7107 sono descritte nell'"Application Bulletin A023" dell'Intersil. *

PHASE-LOCKED LOOP 4046

Oltre ad un oscillatore controllato in tensione, come descritto nel Capitolo 5, il 4046 (Fig. 8-13) contiene pure un rivelatore di fase per formare un phase-locked loop ad un solo chip quando venga aggiunto esternamente un filtro passa-basso.

Con riferimento allo schema a blocchi di Fig. 8-14, il 4046 ha in realtà due rivelatori di fase, i cui ingressi sono messi in parallelo. Le uscite, tuttavia, sono separate. Il rivelatore di fase I (talvolta chiamato il rivelatore a basso rumore) è un semplice OR esclusivo. Di conseguenza, sia il segnale d'ingresso che di VCO devono essere onde sinusoidali simmetriche.

Il rivelatore di fase II (spesso chiamato il rivelatore a larga banda) è di tipo digitale con trigger sul fronte, che si innesca sui fronti di salita dei due ingressi. Se il segnale d'ingresso, che può essere un treno di impulsi aventi un ciclo utile qualunque, ha una frequenza minore di quella di VCO (oscillatore controllato in tensione), l'uscita è a 0 logico (V_{SS} o massa). D'altra parte, se la frequenza d'ingresso è maggiore della frequenza di VCO, l'uscita è a 1 logico. Se le due frequenze sono uguali, l'uscita del rivelatore di fase II è un impulso la cui durata è proporzionale alla differenza di fase. Come mostrato in Fig. 8-15, questo impulso d'uscita è positivo quando il segnale VCO è in ritardo sull'ingresso, è negativo quando il segnale VCO è in anticipo sull'ingresso. Un vantaggio del rivelatore di fase II rispetto all'altro è che il rivelatore a larga banda è insensibile alle armoniche multiple della frequenza d'ingresso, mentre il tipo a OR esclusivo può agganciarsi a queste armoniche multiple.

---

* Fullager, D., e Dufort, M. "Low Cost Digital Panel Meter Designs" Intersil Application Bulletin A023, 1977.

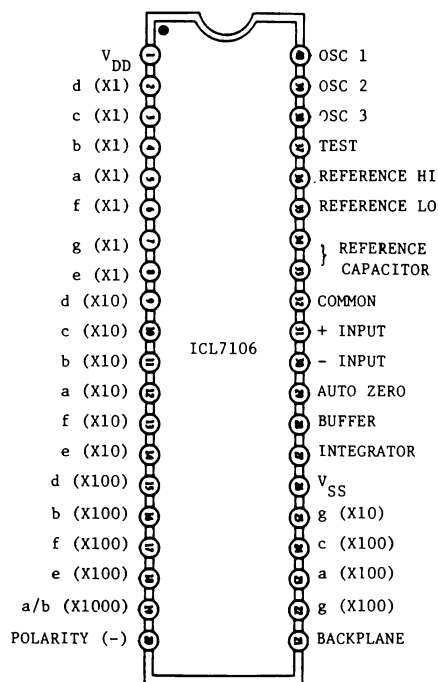
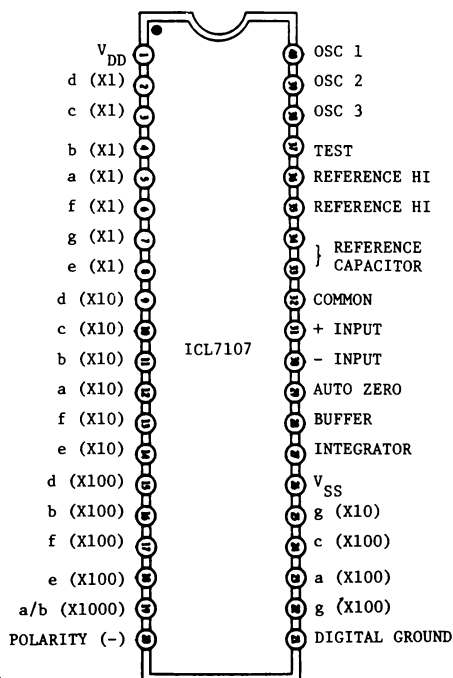



Fig. 8-9. Convertitori A/D Intersil.

Nello schema a blocchi è pure mostrato un diodo zener da 5,4 V, non utilizzato, che si può usare se è necessaria una regolazione della tensione di alimentazione. La frequenza di VCO è minima quando la tensione d'ingresso di controllo di VCO è zero, e aumenta linearmente ad un massimo quando la tensione di controllo è uguale alla tensione di alimentazione. Come mostrato nel circuito elementare di Fig. 8-16, il campo minimo-massimo di VCO è posizionato dai componenti esterni R_1 e C_1, mentre la minima frequenza di VCO è controllata da R_2 e C_1. Una connessione del terminale 9 a massa fa sì che VCO oscilli alla sua frequenza minima, mentre una connessione del terminale 9 alla tensione di alimentazione dà la frequenza massima. Se per alcune applicazioni non è neccessario avere la VCO attiva in certi istanti, la VCO può essere disattivata collegando l'ingresso INHIBIT (terminale 5) alla tensione di alimentazione, la qual cosa ridurrà pure il consumo di potenza. Altrimenti, l'ingresso INHIBIT è collegato a V_{SS} o a massa.

Per far funzionare il 4046 od ogni altro sistema di phase-locked loop, è neccessario un filtro di anello tra l'uscita del rivelatore di fase e l'ingresso VCO. Sebbene si possa fare il filtro di anello in vari modi, frequentemente si usa il circuito "lag-lead" di Fig. 8-17. Fondamentalmente è il rapporto R_1/R_2 che determina lo smorzamento dell'anello mentre la costante di tempo R_1C determina il tempo di assestamento. Generalmenmente per R_1 si prende un valore compreso tra 3 e 10 volte il valore di R_2. Precisazioni specifiche sul progetto dei filtri di anello si possono trovare sia in "*La progettazione dei circuiti Phase-Locked Loop, con esperimenti*" della Jackson Italiana che in "*Phaselock Techniques*". *

L'uscita PHASE PULSES (terminale 1) del rivelatore di fase II può essere messa in NOR con l'uscita del rivelatore di fase I (terminale 2) per formare un rivelatore di aggancio, come mostrato in Fig. 8-18. L'uscita dell'ultima porta NOR sarà a 1 logico quando l'anello è agganciato.

Interrompendo la retroazione dell'anello (terminali 4 e 3) ed inserendo un contatore divisore per N tra VCO e il rivelatore di fase, il 4046 può essere usato come sintetizzatore di frequenza o moltiplicatore. Ad esempio, la risoluzione di un tipico contatore di frequenza può essere migliorata da ± 1 Hz a ± 0,01 Hz per segnali a bassa frequenza usando una coppia di contatori decadici (4017, 74C90, etc.) in cascata, come mostrato in Fig. 8-19. In tal modo una frequenza d'ingresso di 52,83 Hz verrà visualizzata sul contatore come 5283 Hz. Diversamente, si sarebbe letto o 52 o 53. Facendo il modulo della catena di contatori pari a 60, la stessa tecnica è usata per visualizzare la frequenza d'ingresso in termini di cicli al minuto. Ciò è estremamente utile nelle misure di frequenza di eventi fisiologici quali la respirazione (respiri al minuto) o battiti del cuore (battiti al minuto).

---

* Gardner, F.M. "Phaselock Techniques". John Wiley & Sons, Inc., New York, 1966

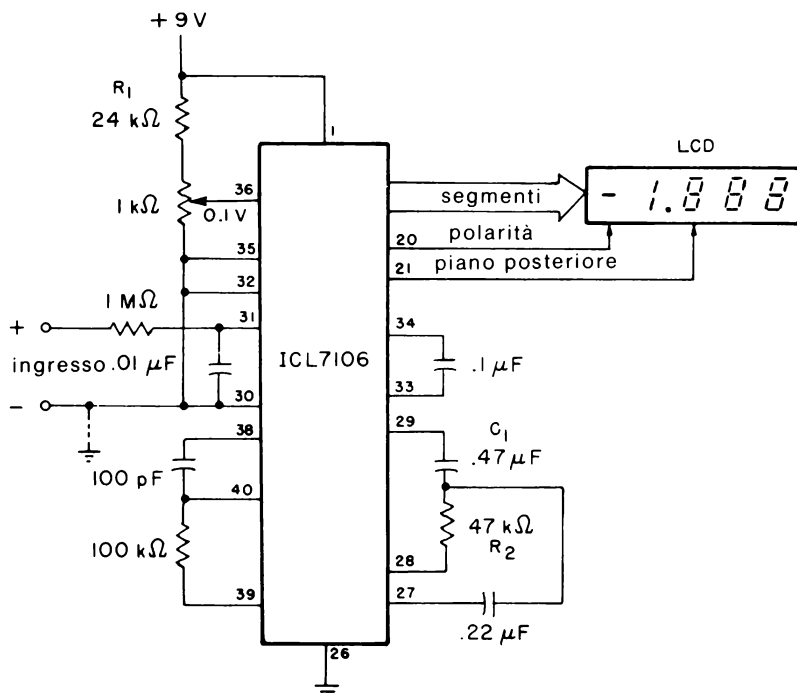



Fig. 8-10. Voltmetro LCD 7106.

CONTATORE DI FREQUENZA A DUE CHIP

Con il controllore oscillatore ICM7207 e contatore-decodificatore driver a 7 decadi ICM7208, si può costruire un contatore alimentato a batteria capace di misure frequenza (fino a 2 MHz) e misure di periodi.

L'ICM7207, mostrato in Fig. 8-20A, è un oscillatore controllato da un cristallo avente uscite di contatori, di registri, di reset e funzioni per scandire display (per il 7208). Quando si usa un cristallo da 6,5536 MHz, questi viene diviso per 2^{12} per ottenere il segnale a 1600 Hz che scandisce i display del contatore. Il segnale a 1600 Hz è successivamente diviso per fornire sulle porte del contatore segnali sia di 0,01 s che di 0,1 s. Il diagramma della temporizzazione dei quattro segnali di uscita è mostrato in Fig. 8-20B.

L'ICM7208, mostrato in Fig. 8-21, fornisce le seguenti funzioni: un contatore a 7 decadi e un decodificatore/driver, un multiplexer, logica per reset, spegnimento e disabilitazione degli ingressi dei display e per accensione o spegnimento dei display. Il contatore a due chip completo è mostrato in Fig. 8-22.

Sebbene il campo superiore di funzionamento del contatore sia tipica-

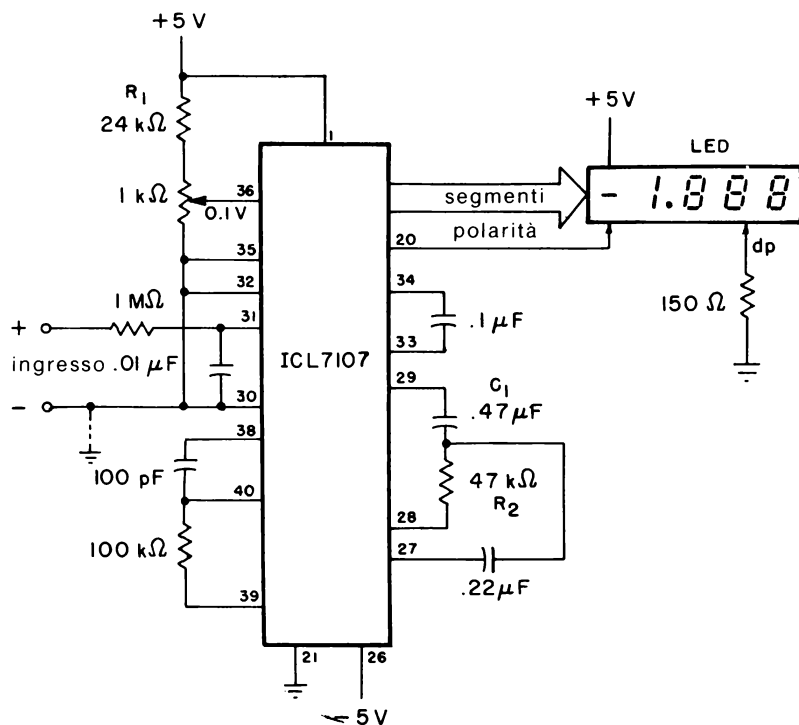



Fig. 8-11. Voltmetro LED 7107.

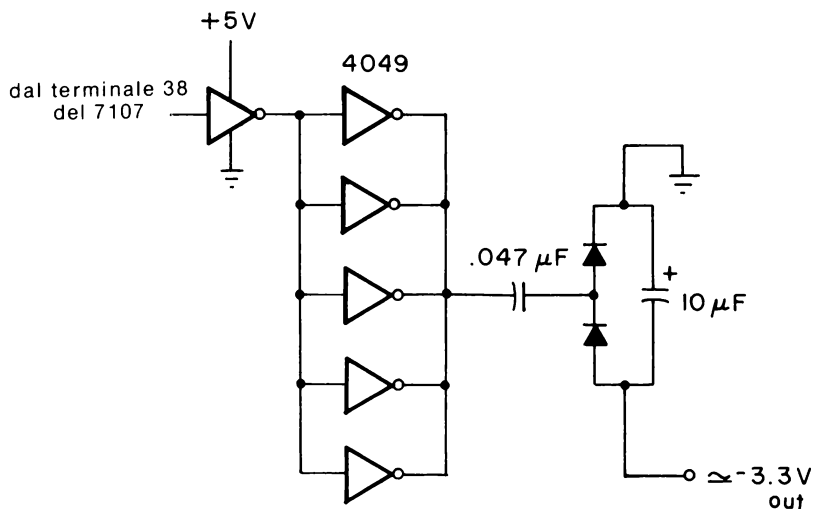



Fig. 8-12. Tensione di alimentazione negativa ottenuta da una tensione di + 5V.

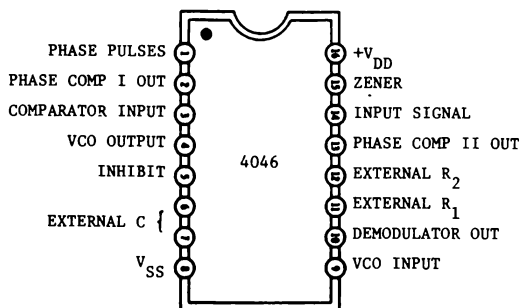



Fig. 8-13. Configurazione dei terminali del phase-locked loop 4046.

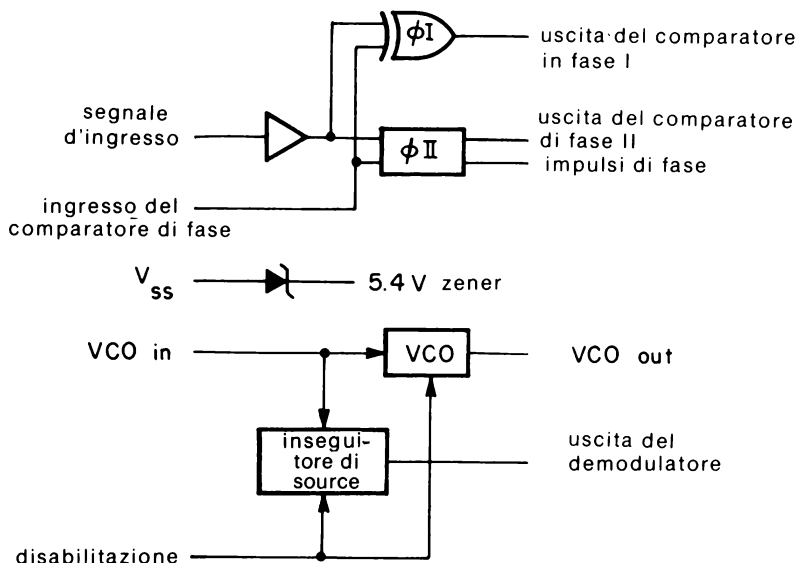



Fig. 8-14. Schema a blocchi.

mente di 2 MHz, esso può essere portato fino a 20 MHz o a 200 MHz aggiungendo o un contatore/divisore per 10 o un contatore/divisore per 100 all'ingresso del contatore. D'altra parte la risoluzione del circuito contatore può essere aumentata aggiungendo un moltiplicatore phase-locked loop 4046, come è stato descritto nella sezione precedente. Scambiando i ruoli degli ingressi COUNTER (terminale 12) e INHIBIT (terminale 13), il circuito sarà allora in grado di misurare periodi di tempo invece che frequenze. Un completo progetto con precisazioni per questo contatore di frequenza è descritto nell'Application Bulletin A015 dell'Intersil.*

---

* "Design for a Battery Operated Counter", Intersil Application Bulletin A015, 1977.

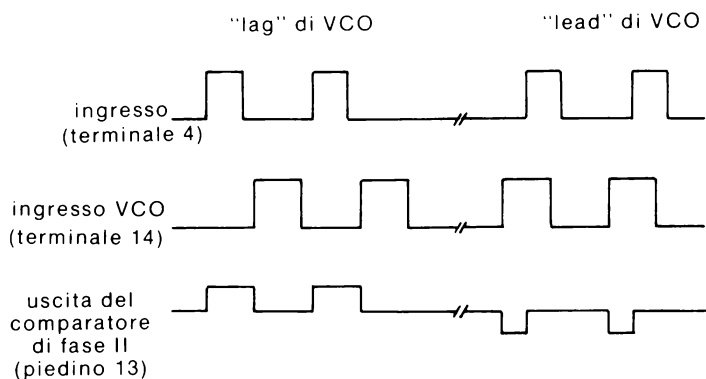



Fig. 8-15. Forme d'onda del 4046.

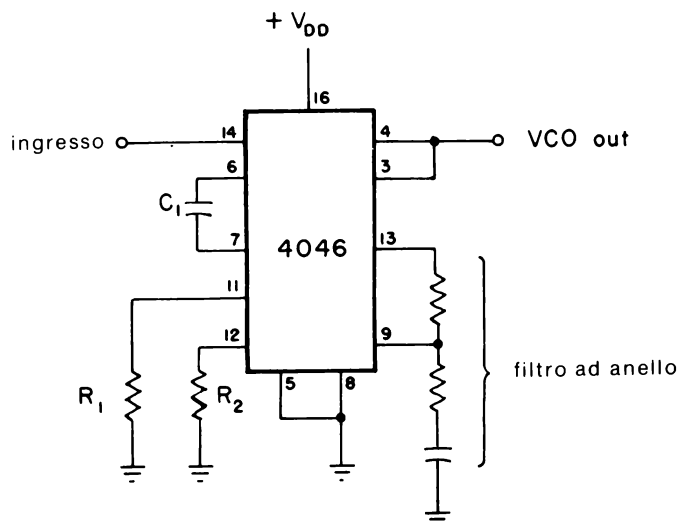



Fig. 8-16. Circuito phase-locked loop ottenuto con il 4046.

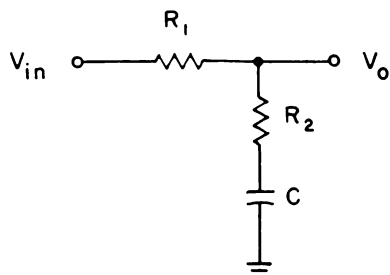



Fig. 8-17. Filtro passa-basso di tipo lag-lead.

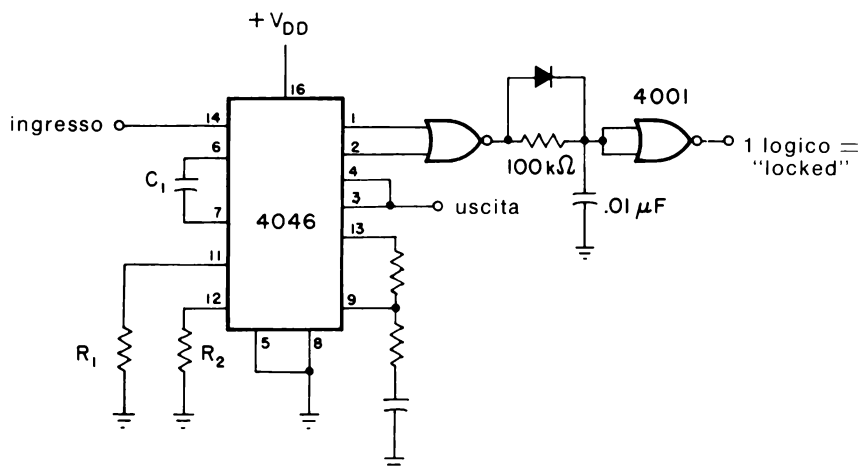



Fig. 8-18. Rivelatore di "look" con porta NOR.

CONTATORE A 4 DIGIT 74C926

Il contatore a 4 digit 74C926 della National Semiconductor, come indicato dalla configurazione dei piedini di Fig. 8-23, è un contatore a 4 decadi con sistema di scansione di display. Come indicato dallo schema a blocchi di Fig. 8-24, il 74C926 contiene internamente un registro d'uscita, driver d'uscita npn per display di tipo LED a 7 segmenti, e un multiplexer, avente il proprio oscillatore a corsa libera.

Usando il circuito elementare di funzionamento di Fig. 8-25, i contatori contano sul fronte negativo di ogni impulso del clock d'ingresso. Per azzerare i contatori, l'ingresso RESET (terminale 13) viene temporanea-

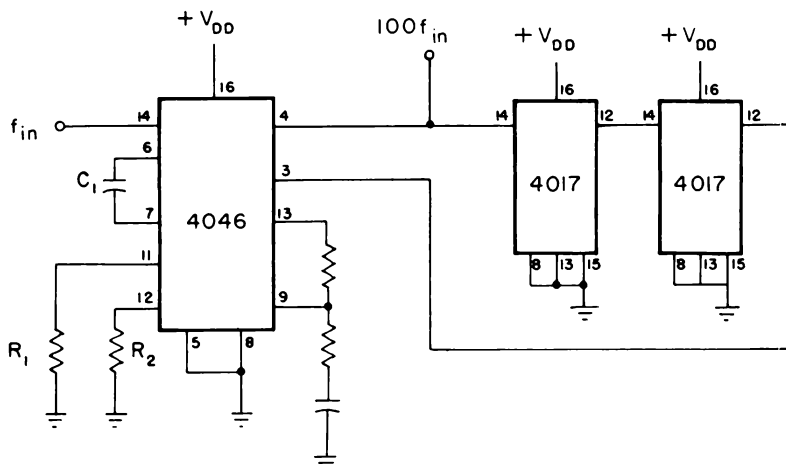



Fig. 8-19. Sintetizzatore di frequenza o prescaler X100.

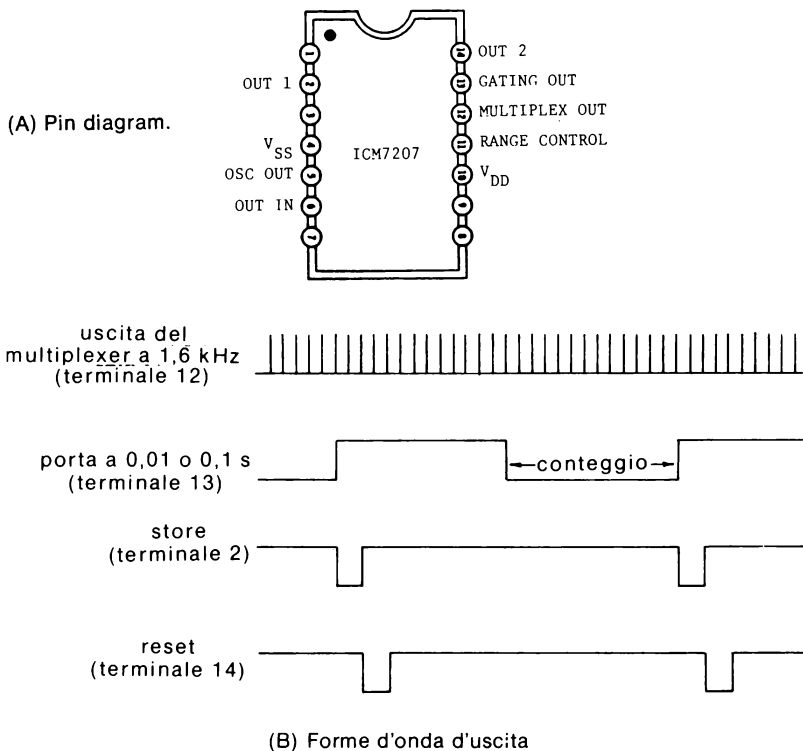



Fig. 8-20. Oscillatore controllato a quarzo ICM7207.

mente tenuto alto. Il segnale di CARRY OUT sul terminale 14 è usato per mettere in cascata due o più dispositivi 74C926. Esso diventa alto quando il contatore arriva a 6000 è basso quando esso torna a 0000.

Un segnale basso sull'ingresso LATCH ENABLE memorizzerà il conteggio attuale nei registri di uscita. Quando l'ingresso DISPLAY SELECT è basso, il display leggerà il conteggio contenuto nei quattro registri a 4 bit. In caso contrario, il display leggerà il conteggio che è nei contatori. La Fig. 8-26 mostra le forme d'onda di commutazione tipiche richieste.

INTRODUZIONE AGLI ESPERIMENTI

Come esempio rappresentativo dell'uso e del funzionamento dei circuiti CMOS speciali descritti in questo capitolo, negli esperimenti seguenti si userà il phase-locked loop CMOS 4046.

Gli esperimenti seguenti, che saranno realizzati, si possono così riassumere:

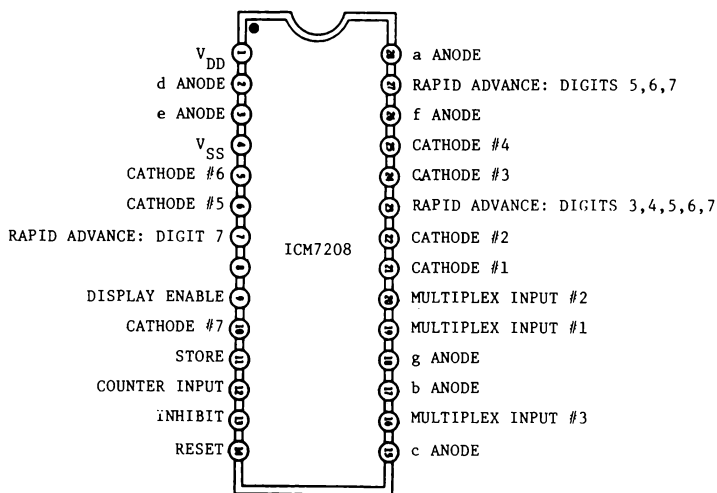



Fig. 8-21. Contatore a 7 decadi e decodificatore/driver ICM7208.

Esperimento N°	*Scopo*
1	Dimostrare il funzionamento del phase-locked loop 4046
2	Dimostrare il funzionamento di un indicatore di perdita di lock con il phase-locked loop 4046
3	Dimostrare il funzionamento di un semplice sintetizzatore di frequenza che si può usare come un "prescaler" moltiplicatore per contatori di frequenza

ESPERIMENTO 1

Scopo

Questo esperimento dimostra il funzionamento del phase-locked monolitico CMOS 4046.

Passo 1

Posizionare l'oscilloscopio come segue:

- Canale 1: 0,5V/divisione
- Base dei tempi: 0,5 ms/divisioni

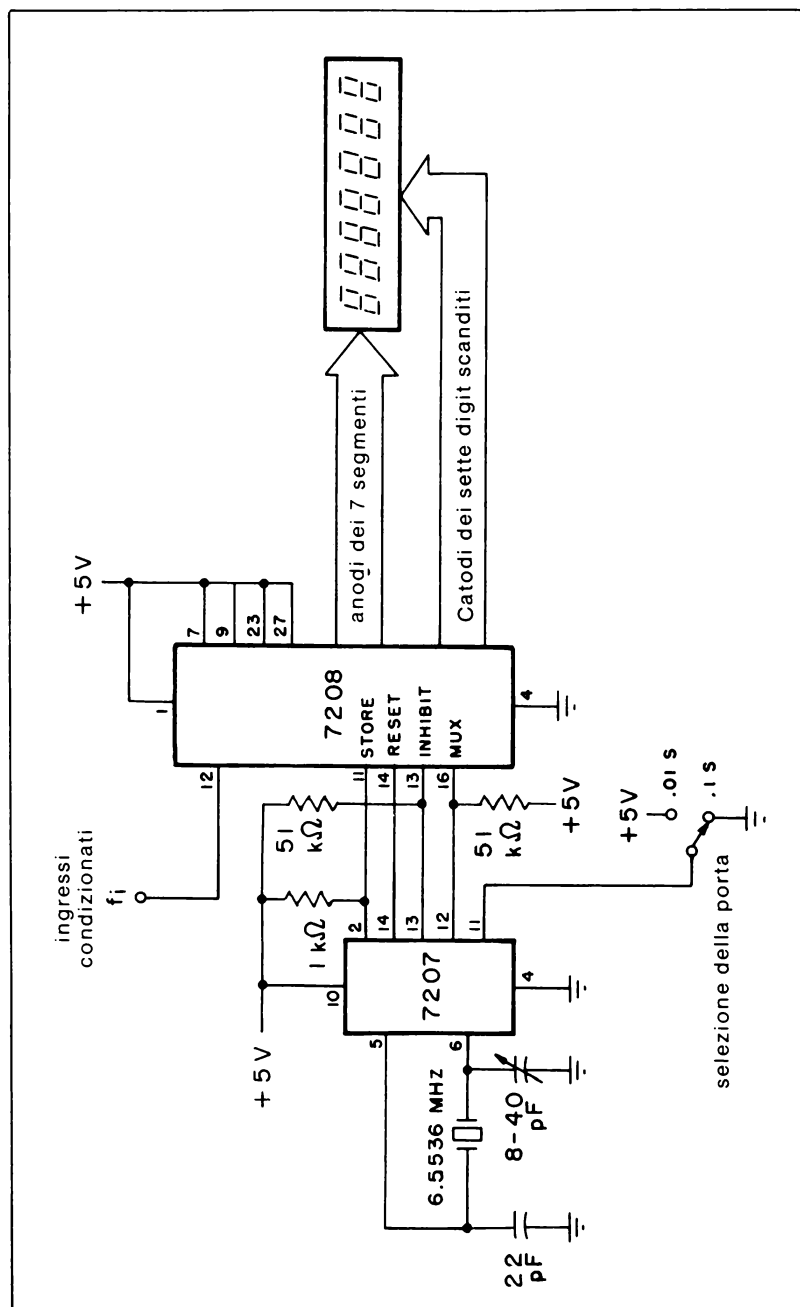



Fig. 8-22. Contatore di frequenza a due chip.

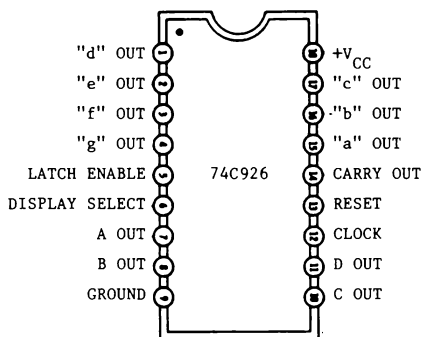



Fig. 8-23. Configurazione dei terminali del 74C926.

Passo 2

Collegare il circuito come mostrato nello schema e dare tensione al breadboard. Regolare l'uscita del generatore di funzioni (onda sinusoidale) a circa 1 kHz con il contatore di frequenza e la tensione picco a picco a 2 V (cioè 4 divisioni verticali). Collegare ora il contatore di frequenza ai terminali 3 e 4 del dispositivo 4046. Che cosa si nota sulla frequenza di uscita del phase-locked loop?

La frequenza di uscita del phase-locked loop dovrebbe essere la stessa di quella all'ingresso.

Passo 3

Con un'altro pezzo di filo, collegare il terminale 9 del 4046 a massa. Segnare la frequenza d'uscita risultante del phase-locked loop;

$$f_L = __________ \text{ Hz}$$

Questa frequenza d'uscita è il limite inferiore del VCO, che è determinato dal condensatore da 0,1 μF collegato tra i terminali 6 e 7 e dalla resistenza da 100 kΩ collegato tra il terminale 12 e massa.

Passo 4

Ora, con lo stesso filo, collegare il terminale 9 alla tensione + 5 V. Si osserverà una frequenza di uscita maggiore di quella misurata nel Passo 3. Segnare questa frequenza:

$$f_H = __________ \text{ Hz}$$

Questa frequenza di uscita è il limite superiore del VCO, che è fonda-

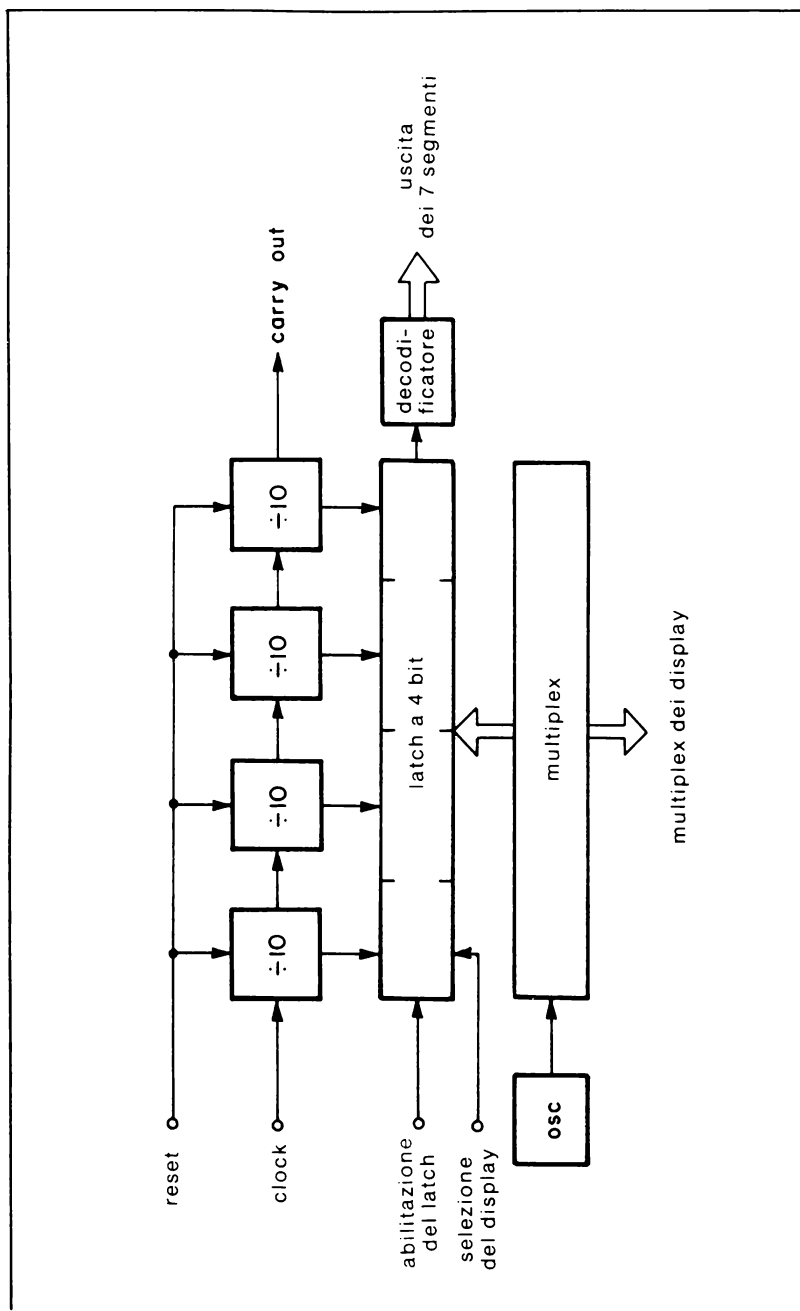



Fig. 8-24. Schema a blocchi.

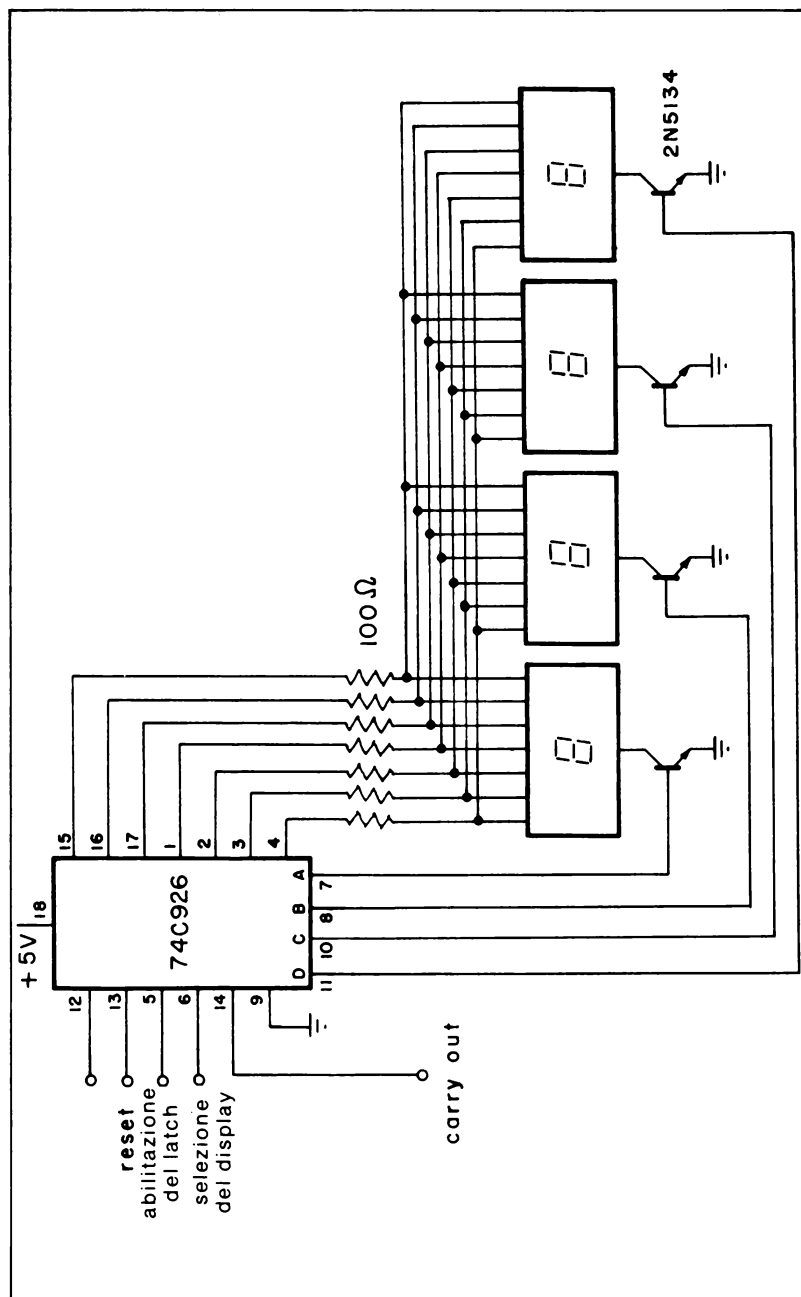



Fig. 8-25. Contatore a quattro decadi.

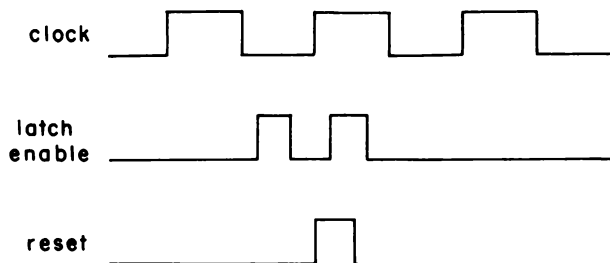



Fig. 8-26. Forme d'onda di commutazione d'ingresso.

Configurazione dei terminali del circuito integrato (Fig. 8-27)

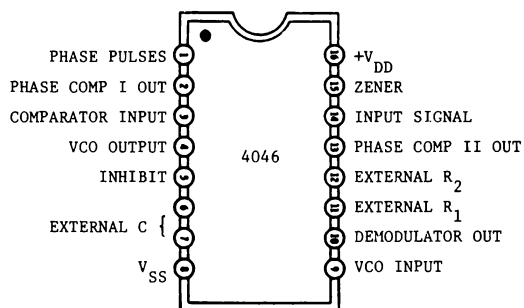



Fig. 8-27.

Schema del circuito (Fig. 8-28)

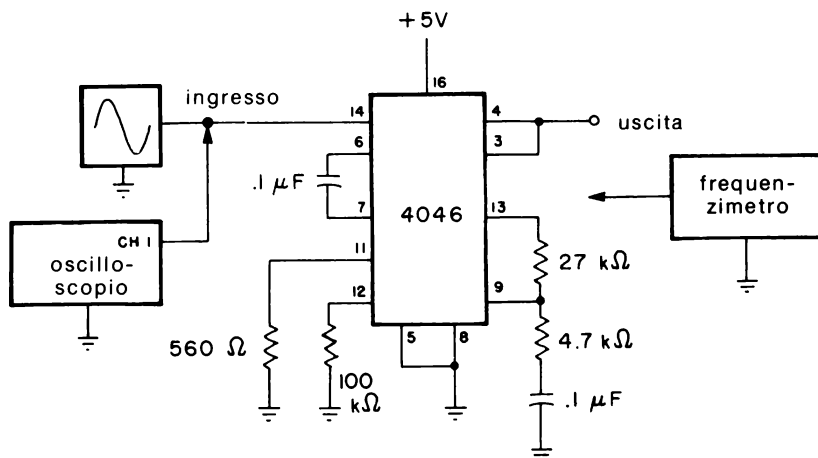



Fig. 8-28.

mentalmente determinato dalla resistenza da 560 Ω e dal condensatore da 0,1 μF esistenti tra i terminali 6 e 7.

Passo 5

Togliere ora questo collegamento tra il terminale 9 e la tensione + 5 V. Si misurerà una frequenza di uscita che è la stessa del generatore di funzione del Passo 2.

Passo 6

Collegare il contatore di frequenza ai terminali 3 e 4 del circuito integrato 4046. Aumentare ora lentamente la frequenza del generatore di funzioni. Che cosa si osserverà sul contatore di frequenza?

Si osserverà che pure la frequenza di uscita aumenta! Infatti la frequenza di uscita segna i cambiamenti della frequenza d'ingresso e dovrebbe essere perfettamente uguale. Controllare la frequenza di ingresso per confermare questa affermazione.

Passo 7

Continuando a guardare la frequenza d'uscita del phase-locked loop, aumentare lentamente la frequenza d'ingresso e fermarsi quando la frequenza di uscita non aumenta più. Misurare la frequenza d'ingresso e segnare il risultato:

$$f_{in}\,(H) = _________\ \text{Hz}$$

Si troverà che questa frequenza è all'incirca la frequenza misurata nel Passo 4, il limite superiore del VCO. Il phase-locked loop quindi segna le variazioni della frequenza d'ingresso per frequenze inferiori a questo limite.

Passo 8

Diminuire ora la frequenza d'ingresso osservando contemporaneamente il contatore di frequenza. Ad un certo punto la frequenza di uscita rimarrà costante. Misurare l'ingresso e segnare il risultato:

$$f_{in}\,(L) = _________\ \text{Hz}$$

Si troverà che questa frequenza è all'incirca la stessa misurata nel Passo 3, il limite inferiore del VCO. Di conseguenza, il circuito phase-locked loop segna i cambiamenti della frequenza d'ingresso per ogni

frequenza compresa tra il limite inferiore e superiore di VCO. Perciò si dice che l'anello è agganciato. Il campo per il quale il phase-locked loop segna le variazioni della frequenza d'ingresso è denominato il campo di aggancio. Per determinare il campo di aggancio dalle misure, sottrarre il valore misurato nel Passo 8 da quello del Passo 7 e segnare il risultato:

campo di aggancio = ________ Hz

Il campo di aggancio può essere cambiato semplicemente variando il valore della resistenza collegata ai terminali 11 o 12. Il diminuire la resistenza da 100 kΩ sul terminale 12, per esempio, aumenta il campo inferiore di frequenza,

Tenere questo circuito sul breadboard, poichè sarà usato nel prossimo esperimento.

ESPERIMENTO 2

Scopo

Questo esperimento dimostra un indicatore di perdita di aggancio con il phase-locked loop dell'esperimento 1.

Passo 1

Collegare il circuito della perdita di aggancio come mostrato nello schema. Collegare il terminale 1 della porta NOR CMOS 4001 al terminale 1 del phase-locked loop 4046 (uscita PHASE PULSES del comparatore II) e il terminale 2 della porta NOR 4001 al terminale 2 del 4046 (uscita fase del comparatore I). Assicurarsi di aver collegato il diodo 1N914 esattamente in parallelo alla resistenza da 100 kΩ.

Passo 2

Dare tensione al breadboard e posizionare la frequenza d'ingresso a

Configurazione dei terminali del circuito integrato (Fig. 8-29)

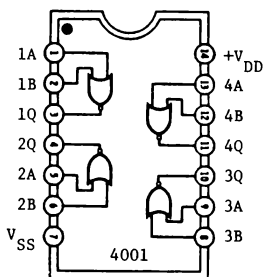
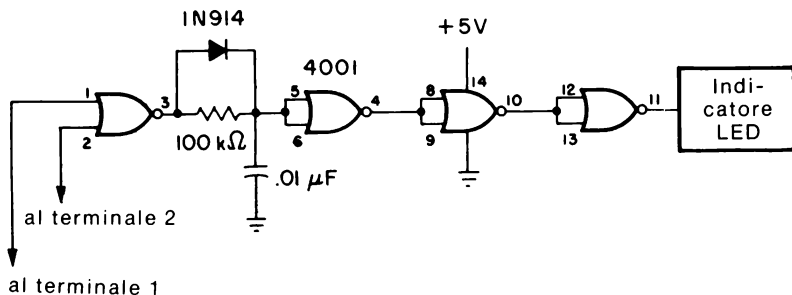
Fig. 8-29.

Schema del circuito (Fig. 8-30)

Esperimento 1

Fig. 8-30.

circa 500 Hz. L'indicatore a LED sarà acceso o spento?

L'indicatore a LED sarà acceso poichè la frequenza di ingresso di 500 Hz è nel campo di aggancio del circuito di anello, determinato nei Passi 7 ed 8 dell'esperimento precedente. Quando l'anello è "agganciato in fase", l'uscita del circuito della perdita di aggancio è ad 1 logico.

Passo 3

Aumentare la frequenza d'ingresso proprio appena oltre il limite superiore del VCO (Passo 7 dell'esperimento precedente). Che cosa succede all'indicatore a LED?

L'indicatore a LED sarà ora spento, indicando che il phase-locked loop è non agganciato in fase, poichè la frequenza d'ingresso è ora al di fuori del campo di aggancio dell'anello. In qualche caso, è stato notato che l'indicatore a LED oscilla tra acceso e spento parecchie volte finchè l'anello non diventi non agganciato. Questo comportamento è dovuto al comportamento in transitorio dell'anello.

Passo 4

Cambiare la frequenza d'ingresso a 1 kHz. Osservando l'indicatore a LED, l'anello è agganciato o non agganciato?

L'indicatore a LED sarà acceso, poichè il segnale d'ingresso a 1 kHz è nel campo di aggancio dell'anello. Si può quindi usare tale circuito con il phase-locked loop 4046 per indicare visivamente quando l'anello è agganciato o non agganciato.

ESPERIMENTO 3

Scopo

Questo esperimento dimostra il funzionamento di un phase-locked loop 4046 e di un contatore decadico 4017 come un moltiplicatore di frequenza o "prescaler" X10.

Passo 1

Posizionare l'oscilloscopio nel modo seguente:

- Canale 1: 0,5 V/divisione
- Base dei tempi: 10 ms/divisione
- Accoppiamento c.a.

Passo 2

Collegare il circuito come mostrato nello schema del circuito e dare tensione al breadboard. Collegare il contatore di frequenza al terminale 14 del phase-locked loop 4046. Regolare la frequenza d'ingresso (f_i) in modo tale che essa sia compresa tra 80 e 90 Hz. Inoltre, regolare la sinusoide d'ingresso con un valore di picco a picco a 2 V.

Configurazione dei terminali dei circuiti integrati (Fig. 8-31)

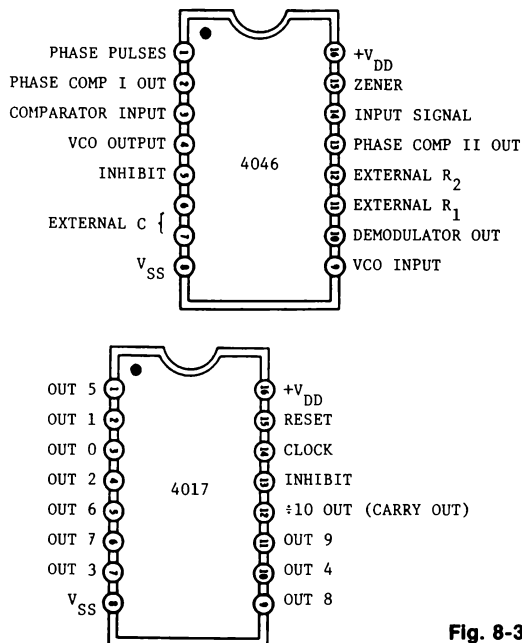



Fig. 8-31.

Schema del circuito (Fig. 8-32)

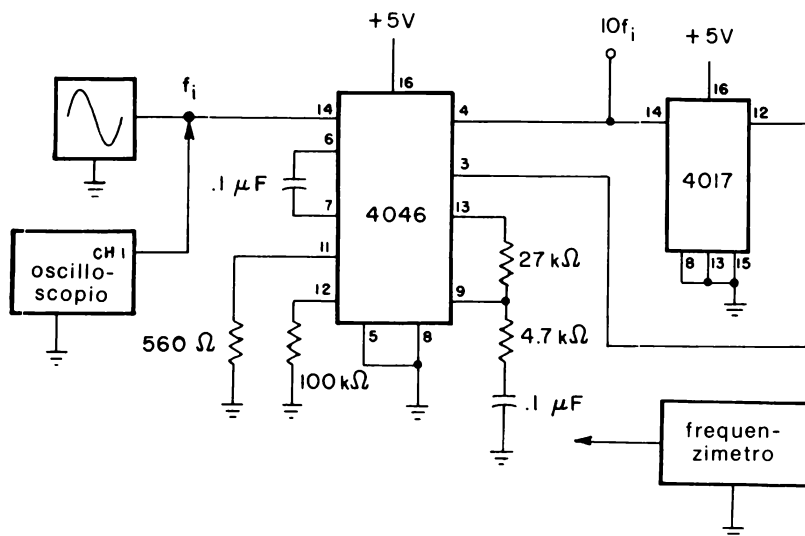



Fig. 8-32.

Passo 3

Misurare la frequenza d'ingresso e segnare il risultato:

f_i = __________ Hz

Passo 4

Collegare ora il contatore di frequenza al terminale 4 del dispositivo 4046. Misurare la frequenza di uscita e segnare il risultato:

f_o = __________ Hz

Che relazione si nota tra la frequenza misurata in questo passo e quella del Passo 3?

La frequenza di uscita sarà 10 volte maggiore di quella d'ingresso. La frequenza d'ingresso misurata nel Passo 3 normalmente ha una risoluzione di ± 1 Hz. Usando questo circuito per moltiplicare la frequenza d'ingresso di 10, si sarà in grado di misurare la frequenza d'ingresso con una risoluzione di ± 0,1 Hz.

Ad esempio, se si misura una frequenza d'ingresso di 87 Hz nel Passo 3, ciò significa che la frequenza d'ingresso potrebbe variare da 86 ad 88

Hz. Se la frequenza misurata in uscita era 867 Hz, allora la frequenza d'ingresso è 86,7 Hz, non 87 Hz come misurato presumibilmente nel Passo 3. La risoluzione del contatore di frequenza è aumentata ora di un digit significativo.

Passo 5

Scegliere una frequenza d'ingresso compresa tra 20 Hz e 300 Hz e misurare quindi sia la frequenza d'ingresso che di uscita del circuito sintetizzatore. In questo campo d'ingresso è ora senz'altro possibile misurare una frequenza d'ingresso con una risoluzione di ± 0,1 Hz invece di ± 1 Hz.

APPENDICE A

Tabella di conversione da TTL a CMOS

Come aiuto nella scelta di un dato dispositivo CMOS per coloro che abbiano esperienza con dispositivi TTL, la seguente tabella riassume i molti dispositivi CMOS che sono funzionalmente equivalenti alle loro controparti TTL. I dispositivi CMOS sono elencati anzitutto usando il sistema di numerazione della serie 4000 introdotto dalla RCA.

Gli altri produttori seguono generalmente lo stesso sistema di numerazione, ma con prefissi diversi. I dispositivi CMOS della Motorola appartengono alla serie MC14000, mentre quelli prodotti dalla Fairchild appartengono alla serie 3400. Di conseguenza, un 4081 (dell'RCA) è equivalente sia ad un MC14081 (della Motorola) sia ad un 34081 (della Fairchild). I dispositivi elencati come serie 74C00 sono equivalenti a pin a pin con la serie 7400 dei dispositivi TTL.

Tabella di conversione da TTL a CMOS

TTL	CMOS	TTL	CMOS
7400	4011, 74C00	74107	4027, 74C107
7401	40107	74110	4095
7402	4001, 74C02	74111	4027
7404	4009, 4049, 74C04	74114	40106
7406	4009, 4049	74121	4047, 4098
7407	4010, 4050	74122	4047, 4098
7408	4081, 74C08	74123	4098, 74C221
7410	4023, 74C10	74125	4502
7414	MC14584, 74C14, 40106	74126	4502
7420	4012, 74C20	74132	4093
7425	4002	74136	4030, 4070
7427	4025	74141	4028
7428	4001	74145	4028
7430	4068, 74C30	74148	4532
7432	4071, 74C32	74150	4067
7437	4011	74151	4051, 4097, 74C151
7440	4012	74152	4051, 4097
7442	4028, 74C42	74153	4052
7445	4028	74154	4514, 4515, 74C154
7446	4055, 4511	74155	4555, 4556
7447	4055, 4511	74156	4555, 4556
7448	4511, 74C48	74157	4019, 74C157
7449	4511	74160	74C160
7450	4085	74161	74C161
7453	4086	74162	74C162
7454	4086	74163	74C163
7470	4096	74164	4015, 74C164
7472	4095	74165	4021, 74C165
7473	4027, 74C73	74166	4014
7474	4013, 74C74	74167	4527
7475	4042	74173	4076, 74C173
7476	4027, 74C76	74174	74C174
7477	4042	74175	74C175
7478	4027	74178	4035
7483	4008, 74C83	74179	4035
7485	4063, 74C85	74180	40101
7486	4030, 4070, 74C86	74181	40181
7489	74C89	74182	40182
7490	4518, 74C90	74190	4510
7491	4015, 4094	74191	4516
7493	4520, 74C93	74192	40192, 74C192
7494	4035	74193	40193, 74C193
7495	40104, 40194, 74C95	74194	40104, 40194
7499	40104, 40194	74195	4035, 40195, 74C195
74100	4034	74198	4034
74104	4095	74200	4061, 74C200
74105	4095		

APPENDICE B

Supporti per il "breadboarding"

In aggiunta alle piastre di breadboarding, esistono disponibili in commercio numerosi utili accessori per il breadboarding. Tra questi esiste una vasta gamma di accessori chiamati OUTBOARDS.* Questa

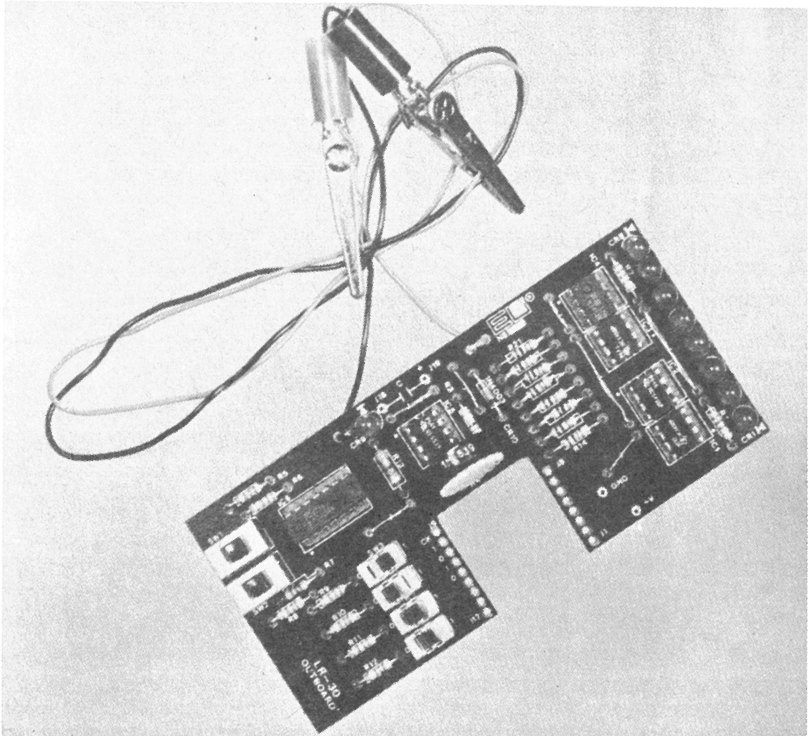



Fig. B-1. Stazione di breadboarding a CMOS LR-30.

---

* E & L Instruments, Inc., Derby CT 06418 (Per l'Italia: Microlem - Divisione didattica - Via C Monteverdi, 5 - 20131 Milano

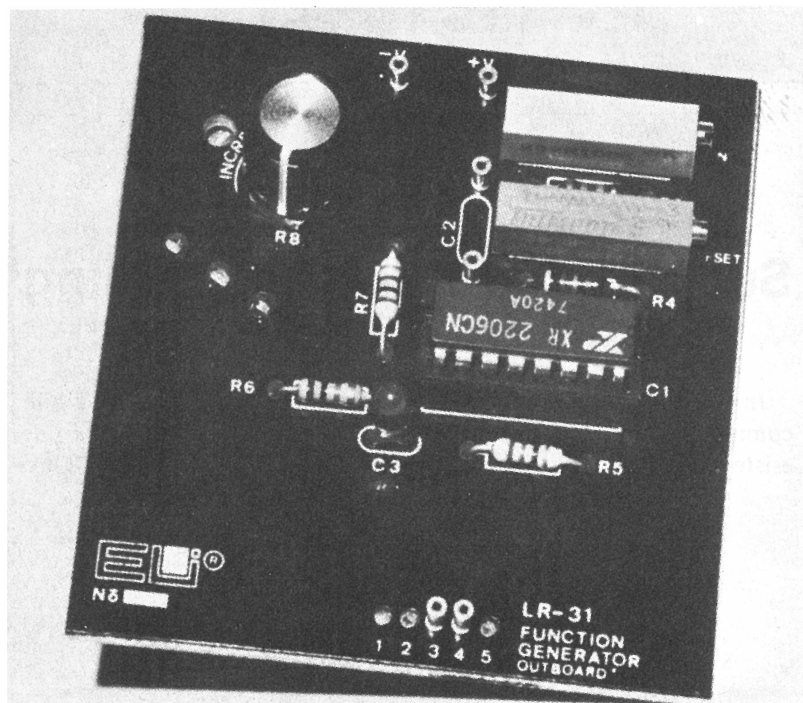



Fig. B-2. OUTBOARD generatore di funzioni LR-31.

appendice descrive gli OUTBOARDS utili per effettuare molti esperimenti descritti in questo libro e che sono stati illustrati dagli schemi del Capitolo 2. Ogni OUTBOARD si attacca direttamente ad una delle piastre da breadboarding, facendo contatto con le neccessarie connessioni della tensione di alimentazione. Si descrivono i seguenti OUTBOARD:

- Stazione di Breadboarding a CMOS LR-30
- OUTBOARD Generatore di funzione LR-31
- OUTBOARD Contatore a 4 decadi LR-32
- OUTBOARD Cristallo di quarzo LR-33

STAZIONE DI BREADBOARDING A CMOS LR-30

Questo OUTBOARD, mostrato in Fig. B-1, è una stazione di breadboarding completa a CMOS. Esso contiene due interruttori logici senza rimbalzi o pulser, 4 interuttori logici, 8 indicatori a LED e un clock ad onda quadra a frequenza variabile. Inoltre, i circuiti elettrici sono protetti da errati collegamenti della tensione di alimentazione. L'LR-30 funziona da 3 a 15 V.

OUTBOARD GENERATORE DI FUNZIONI LR-31

Questo OUTBOARD, mostrato in Fig. B-2, usa un circuito integrato XR-2206 per generare forme d'onda sinusoidale, quadrata e triangolare con frequenza, ampiezza e offset in dc (c.c.) regolabili. Sono possibili frequenze da 0,01 Hz a 1 MHz, a seconda del valore di un condensatore esterno. Con un solo valore di capacità, il campo dinamico è maggiore di 1000 : 1.

OUTBOARD CONTATORE A 4 DECADI LR-32

Usando un circuito integrato 74C926, l'LR-32, mostrato in Fig. B-3, è un completo contatore a 4 decadi comprendente quattro contatori decadici, registri, piloti di display, circuiti per scandire display e 4 display a 7 segmenti di tipo LED. Il CARRY OUTPUT dell'LR-32 è disponibile, per cui si possono facilmente mettere in cascata due o più LR-32.

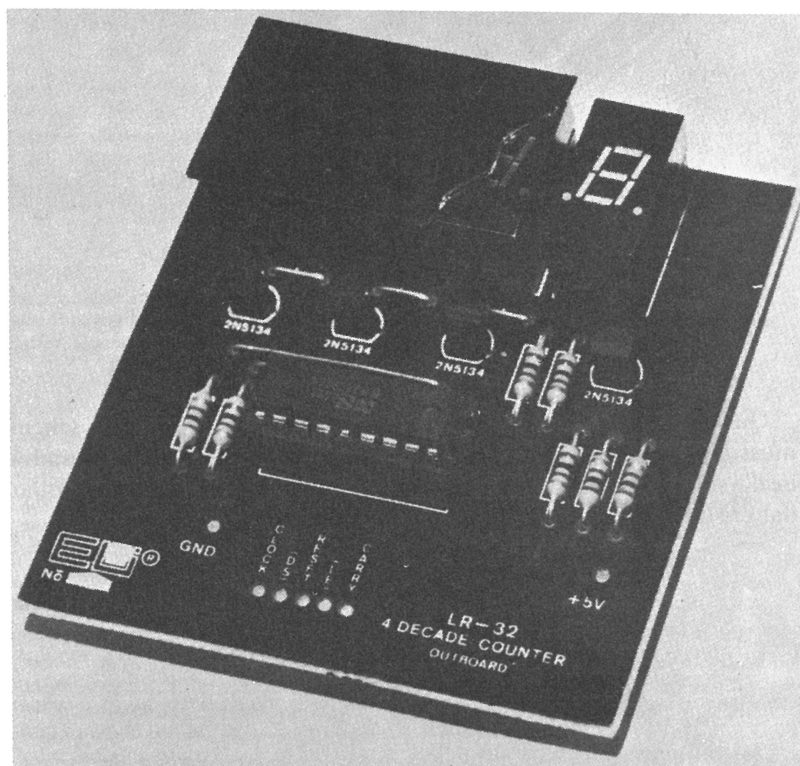



Fig. B-3. OUTBOARD contatore a 4 decadi LR-32.

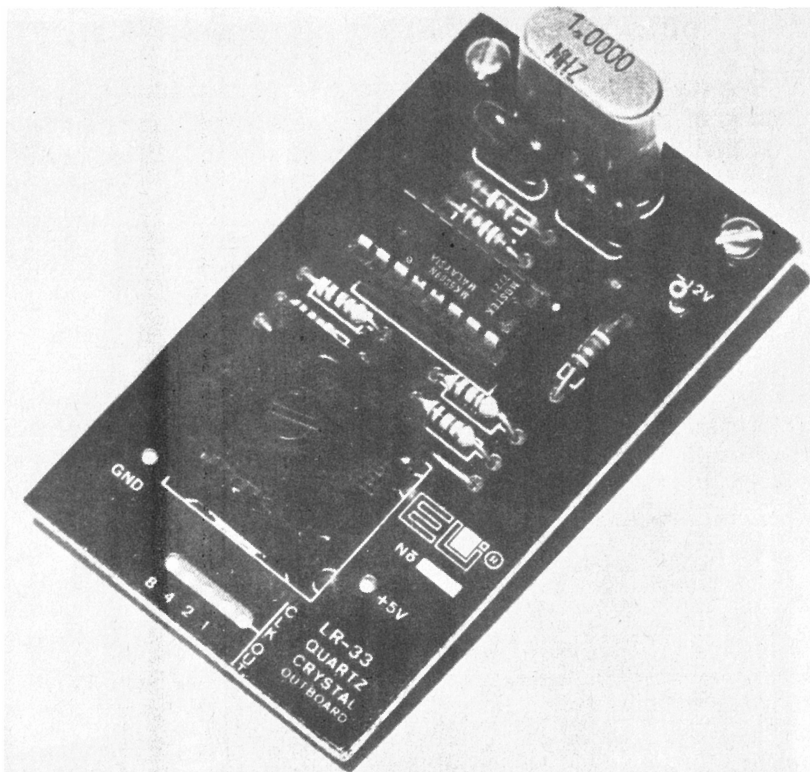



Fig. B-4. OUTBOARD cristallo di quarzo LR-33.

OUTBOARD CRISTALLO DI QUARZO LR-33

Questo OUTBOARD, mostrato in Fig. B-4, è simile allo schema mostrato nel Capitolo 2 (Fig. 2-10). Con l'interruttore tipo "thumbwheel" sulla piastra, si può scegliere una frequenza di uscita controllata dal cristallo variabile da 1 MHz a 0,01 Hz, secondo fattori di 10.

Indice

A

Abilitazione asincrona di preset 122
Abilitazione del chip 34
Abilitazione di registro 125, 174
Abilitazione per display 112
Aggiornamento dei display 185
Amplificatore di transconduttanza 58
Amplificatore invertente 57
Amplificatore operazionale 57-60
Array a collettore comune 163
Astabile a frequenza costante 86-88
Astabile con temporizzatore 555 91
Astabile con 4047 84

B

Beta 166
Bit più significativi 124
Breadboarding 18-19
Buffer/Convertitore invertente 34

C

Cacciavite 19
Carichi in parallelo 120
Carico 119
Carico capacitivo 11
Cascata 133
Ciclo utile 59
Ciclo utile percentuale 85
Ciclo utile variabile 86-88
Circuito (i) di ingresso/uscita 20-25
Clear 122, 133
Clock 23
CMOS 9
CMOS buffered 13
CMOS unbuffered 13
Codice walking-ring 112
Codificatori di touch-tone 181-183
Componenti 25-26
Conduttore solido isolato 19
Configurazione dei terminali 18
Considerazioni di ingresso/uscita dei CMOS 30-32
Contatore (i) a 4 digit 74C926 196-197
Contatore (i) BCD avanti/indietro 136
Contatore (i) binario di tipo "ripple" 108-109
Contatore (i) decadico con uscite decodificate per 7 segmenti 112-114
Contatore (i) decodificato 1 su N 112
Contatore (i) di frequenza a due chip 192-194
Contatore (i) digitale 107
Contatore (i) doppio in avanti 114-118
Contatore (i) esadecimale 111
Contatore (i) Jonhson a 5 stadi 112
Contatore (i) multistadio di tipo walking-ring 139
Contatore (i) programmabile all'indietro 122-128
Contatore (i) programmabile avanti/indietro 118-122
Contatore (i) sincrono 109, 122
Contatore (i) sommatore/sottrattore 118
Convertitore (i) analogico-digitale a 3-1/2 digit 184-189
Convertitore tensione/frequenza 88
Corrente di sink 31
Corrente di source 31
Corrente media 170
Correzione dell'offset 185
Cristallo al quarzo 23

D

Decodificatore 58
Decodificatore a 7 segmenti 167-168
Decodificatore BCD 60
Decodificatore/driver 167

Diodo di clamping 41
Display ad anodo comune 163
Display a catodo comune 25-165
Display a LED 112
Display a 7 segmenti multiplexer 168-170
Dispositivi monolitici 77-80
Dissipazione di potenza 11, 58
Divisore binario 109
Driver a collettore aperto 37

E

Errore di approssimazione 133
Errore di carico 20

F

Famiglia logica ideale 9
Fan-out 35
Filtri a loop esterno 90
Filtri attivi 58
Filtro del secondo ordine 58
Filtro passa-basso a componenti uguali 58
Flip-flop CMOS 50
Flip-flop di tipo D 57
Flip-flop JK 57
Flip-flop master-slave 57
Flip-flop master-slave in cascata 108
Frequenza centrale 58
Frequenza di riferimento stabile 23
Frequenza di strobe 170
Frequenza di taglio 58
Funzione di reset 78
Funzioni logiche 57
Funzioni matematiche 134

G

Generatore di ciclo utile variabile 60
Generatore di forme d'onda 138-144

I

Immunità di rumore 12
Impulso di fase 191
Indicatori LED 20
Informazioni BCD con display a
7 segmenti 174
Ingressi MODE SELECT 125
Ingresso d'abilitazione 114
Ingresso dei dati 40
Ingresso dell'impulso di trigger 73
Ingresso di blanking 113
Ingresso di clock 114
Ingresso di inhibit 61
Ingresso di preset 119
Ingresso di riporto 120
Interfacciamento CMOS-Amplificatori
operazionali 41
Interfacciamento CMOS-Display a LED
a 7 segmenti 160-166
Interfacciamento CMOS-LED 159-160
Interfacciamento CMOS-NMOS 39-40
Interfacciamento CMOS-PMOS 41
Interfacciamento CMOS-TTL 32-34
Interruttori analogici 50
Interruttori bilaterali 50
Interruttori senza rimbalzi 21-22
Invertitore 51
Invertitore 4049 80
Invertitore 74C04 80

J

Jam 119

L

Lag-lead 191
Linee d'indirizzo 40
La più bassa armonica non cancellata 140

M

Margine di rumore 12
Meccanica per logica 21
Moltiplicatori di velocità BCD 136
Moltiplicatori di velocità binari 132
Moltiplicazione 135-136
Monostabile 4047 74-76
Multiplexer/demultiplexer analogici, 49, 60-61
Multiplexer/demultiplexer analogici a 2 canali 61
Multiplexer/demultiplexer analogici a 4 canali 61
Multiplexer/demultiplexer analogici a 8 canali 61
Multiplexer/demultiplexer analogici a 16 canali 61
Multipli binari 109
Multivibratori astabili 23, 80-83
Multivibratori astabili discreti 80-83
Multivibratori monostabili 72-74

N

Norme per gli esperimenti 17

O

Oscillatore a corsa libera 196
Oscillatore controllato da un cristallo 109
Oscillatore stabile 109
Oscilloscopio 20

P

Phase-locked loop monolitici 90

Piedino di reset 78
Porta (e) AND 57
Porta (e) di trasmissione 49-51, 57-60
Porta (e) OR 57
Porta (e) NAND 57
Porta (e) NAND a 2 ingressi 73
Porta (e) NOR 57, 73
Porta (e) NOR a 2 ingressi 72
Porta (e) NOR esclusivo 183
Porte CMOS 12
Posizionamento a 9 17, 133
Potenziometri a più elementi 58
Prestito 121
Pulser 21

R

RAM dinamica 40
Rapporti di frequenza 136-138
Registro (i) a scorrimento 50
Registro a 7 segmenti 167-168
Regole di progetto per circuiti
con CMOS 14-15
Resistenza tra drain e source 88
Resistore di pull-up 35
Resistore integratore 185
Resistore variabile in tensione 58
Rete di temporizzazione RC 87
Rimbalzo libero 15
Riporto 120
Riporto/abilitazione a contare 122
Riporto/rivelazione dello zero 122
Ritardo di propagazione 11, 116
Rivelatore a basso rumore 189
Rivelatore a larga banda 189
Rivelatore di fase 90
Rivelatore di fase/frequenza 128

S

Scelta del modo d'ingresso 125
Segnale di blanking per overrange 187
Segnale di fine conversione 185
Segnale di "Premere per parlare" 183
Segnale di riporto 112
Segnali analogici a basso livello 50
Segnali digitali a basso livello 50
Selezione BCD 132
Selezione BCD della velocità 132
Selezione dei display 197
Sinking 77
Sintetizzatore digitale di frequenza
HCTR 0320 128-132
Sourcing 77
Specifiche CMOS 10-11
Spike di rumore 11
Struttura degli esperimenti 18

T

Temporizzazione con condensatore 76
Temporizzazione con il 555 76
Temporizzazione con resistore 76
Temporizzazione del ciclo 77
Tensione d'immunità di rumore 11
Tipi di CMOS 13-14
Transistori di rumore 76
Translazione di livello logico 58
Trigger di Schmitt 82
Trigger su fronte negativo 74
Trigger su fronte positivo 74
TTL Schottky 11

U

Uscita (e) complementare (i) 74

V

Velocità di scansione 170
Voltmetro digitale 20, 184

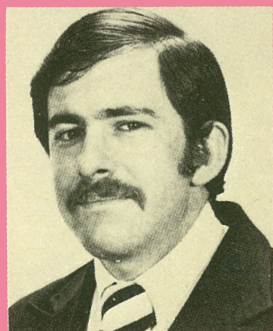
Guida ai CMOS

fondamenti, circuiti ed esperimenti

I dispositivi CMOS stanno diventando sempre più interessanti, in virtù del loro basso consumo di potenza, ideale per circuiti portatili alimentati a batteria.

Questo libro è stato scritto principalmente come guida per coloro che sono cresciuti con dispositivi TTL e che ora sono pronti a perseguire i vantaggi dei CMOS, convertendo possibilmente molti circuiti TTL esistenti in circuiti equivalenti CMOS a minore potenza.

Il libro espone, in otto capitoli, che cosa sono i dispositivi CMOS, le loro caratteristiche, norme di progetto e una serie di 22 utili esperimenti che chiariscono molti dei concetti esposti. Oltre a una discussione su fondamenti della tecnologia CMOS, il libro tratta dell'interfacciamento dei dispositivi CMOS con altre famiglie logiche; porte di trasmissione, multiplexer e demultiplexer analogici, multivibratori monostabili ed astabili, contatori, interfacciamento con LED e display a LED a 7 segmenti ecc.

L. 15.000

Howard M. Berlin è un ingegnere elettrotecnico del Chemical Systems Laboratory all'Aberdeen Proving Ground, nel Maryland, ed è stato istruttore aggiunto presso il Dipartimento di Ingegneria Elettrotecnica dell'Università del Delaware. La sua esperienza si è sviluppata principalmente nella ricerca ingegneristica biomedica e nella strumentazione fisiologica.

Ha tenuto diversi corsi brevi al Dipartimento dell'Esercito, conferenze e corsi di specializzazione presso l'Università del Delaware. È autore di numerosi rapporti governativi e di articoli per riviste scientifiche e per radioamatori. Inoltre, egli è autore dei libri seguenti: Il Timer 555, Funzionamento Applicazioni ed Esperimenti"; "La Progettazione dei Circuiti Amplificatori Operazionali, con Esperimenti". È attualmente membro di Sigma Xi, IEEE e dell'Accademia di Medicina del Delaware. Come attivo radioamatore, può essere ascoltato usando la sigla di chiamata W3HB (precedentemente K3NEZ).

23

Guida ai CMOS

fondamenti, circuiti ed esperimenti

di Howard M. Berlin

JACKSON ITALIANA EDITRICE